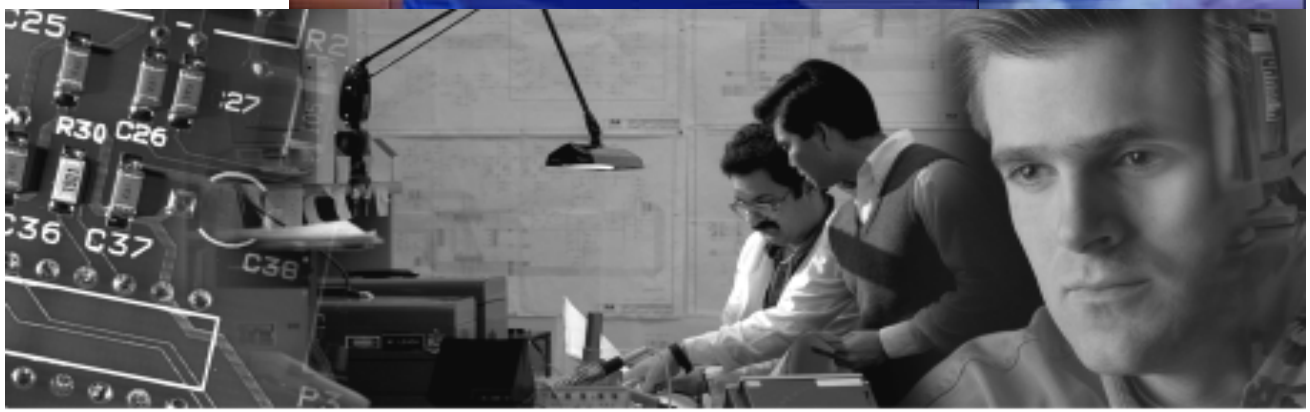
orcad
a Cadence product family

E.S
(주)일렉세미


# OrCAD Capture
# Workbook (Ver 10.xx)

EDA Dept. CADENCE Team.
Technical Support
www.elecsemi.com

orcad
a Cadence product family

# 1.Capture의 시작

## Capture의 기능 및 특징

OrCAD Capture program은 회로도(Schematic) 분석을 쉽게 하고, 상징적인 전자회로 도면을 그려서 이를 인쇄회로기판으로 실제적인 작업을 하기 위한 최종의 Netlist file을 생성하는 것이다.

OrCAD Capture program은 여러 가지 종류의 Netlist 형식을 지원한다. 기구설계프로그램과 연계하기 위한 Auto CAD, Genertic CAD등에 필요한 DXF 파일을 Netlist 작성시에 생성할 수 있으며, EDIF, VHDL, Verilog HDL과 다른 전자회로 설계 프로그램으로도 Netlist 파일을 생성할 수 있다.

Pspice Library를 포함하여 약 44,000개 이상의 많은 library를 내장하고 있으며 새롭게 부품 혹은 심볼을 생성하기가 쉽다. Wire, Bus 등 연결점의 자동 표현 (Auto Junction), Macro 기능 지원 등의 기능 외에도 비트맵 이미지 등의 Logo File 또한 불러들일 수 있다.

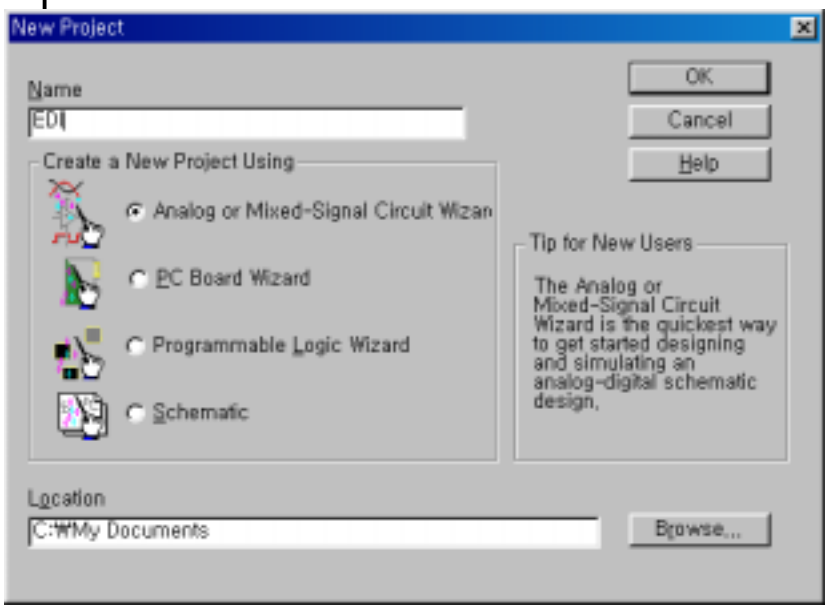
명령어의 빠른 접근을 위한 Toolbar와 Tool Palette 제공, 부품 목록, 도면 정보 등의 문서화 시켜서 이를 database화 할 수 있다.

한글 Windows 상에서의 한글 서체 지원, 작성한 회로 도면의 미리 보기 기능 지원, 사용의 편리성을 위한 On-line Help와 Interactive Tutorial 제공, Excel, Lotus 등 각종 스프레드시트 등과 파일 호환기능이 있다.

orcad
a Cadence product family

Capture 프로그램을 실행하기 위해 윈도우 시작 → 프로그램 → OrCAD_10.0 → Capture(CIS)를 선택한다.

Capture 초기 화면 메뉴 Bar 중에서 File → New → Project 를 선택하면 아래와 같은 그림이 나타난다.




**Analog or Mixed-Signal Circuit Wizrd**
Analog 또는 Analog/Digital 혼합회로 설계를 위한 Pspice Project option.

**PC Board Wizard**
PCB를 설계용 OrCAD Layout을 사용하기 위한 Project option.

**Programmable logic Wizard**
CPLD 나 FPGA design, Digital simulate 용 OrCAD Express를 사용하기 위한 Project option.

**Schematic**
Schematic 작성용 Capture를 사용하기 위한 Project option.

orcad
a Cadence product family

## ▶ OrCAD Program 사용 Key point

OrCAD Program을 사용할 때는 항상 마우스의 오른쪽 버튼을 생각하면 접근하기가 수월하다. Program 창의 메뉴 항목에 작업 수행에 따른 기능이 나타나지만, 작업에 따른 해당 항목을 왼쪽 마우스로 클릭하면 활성화 되고, 그 상태에서 오른쪽 마우스를 클릭하면 그 작업에 관련된 Option이 나타나게 된다.
일반적으로 어떤 작업의 속성을 보기 위해서는 객체활성화 → 오른쪽 마우스 → Edit Properties를 선택하면 되고, 그 작업을 빠져나가려면 오른쪽 마우스 → End mode(End command)를 선택하면 된다.
또한, OrCAD Program에서는 Excell 과 같이 Spreadsheet 형식으로 부품 data를 관리하므로 작업 관리 및 Editing이 빠르고, 편리하다.

# Capture for window 기본 정보

## 기본 확장자

- .opj ( OrCAD Project file) – Design file과 해당 Programe을 link시켜주는 file.
- .dsn (OrCAD Design file) – 실제 회로도를 담고있는 Design file.
- .olb (OrCAD Library file) – 파트와 심볼정보를 담고있는 file.
- .upd (Property Update file) – 회로도에 쓰인 부품안에 파트의 속성을 포괄적으로 집어넣을 때 사용되는 file.
- .swp (back annotate file) - layout 상에서 변경된 정보를 capture 상에 적용시키는 file.
- .drc (Design rule check report file) – 전기적인 rule의 검사결과가 저장되는 file.
- .bom (Bill of material file) – 부품 목록이 저장되는 file.
- .xrf (Cross Reference part report file) – 회로도에 쓰여진 part의정보를 담고있는 file.
- .mnl (Netlist file) – 핀과 핀간의 연결 정보와 Footpriont 정보를 담고있는 file.

orcad
a Cadence product family

# 주요 단축 (hot) Key

기능 : Hot Key

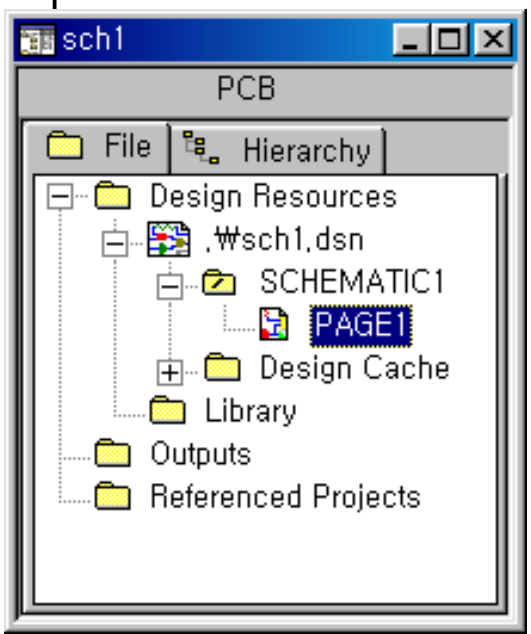
| | |
|---|---|
| Zoom in : I | Zoom out : O |
| Zoom Center : C | Copy : Ctrl + C |
| Paste : Ctrl + V | Find : Ctrl + F |
| Repeat : F4 | Any angle Wire : Shift + mouse |
| Rotate : R | Mirror Horizontally : H |
| Mirror Vertically : V | Only Move Part : Alt + Mouse |
| Redraw (Refresh) : F5 | Select Copy : Ctrl + Mouse |

orcad
a Cadence product family

# Schematic 구조

1. 단면 구조
2. 평면 구조
3. 계층 구조
    a. 단순 계층구조
    b. 복합 계층구조

# 1.단면구조 (OneSheet Structure)



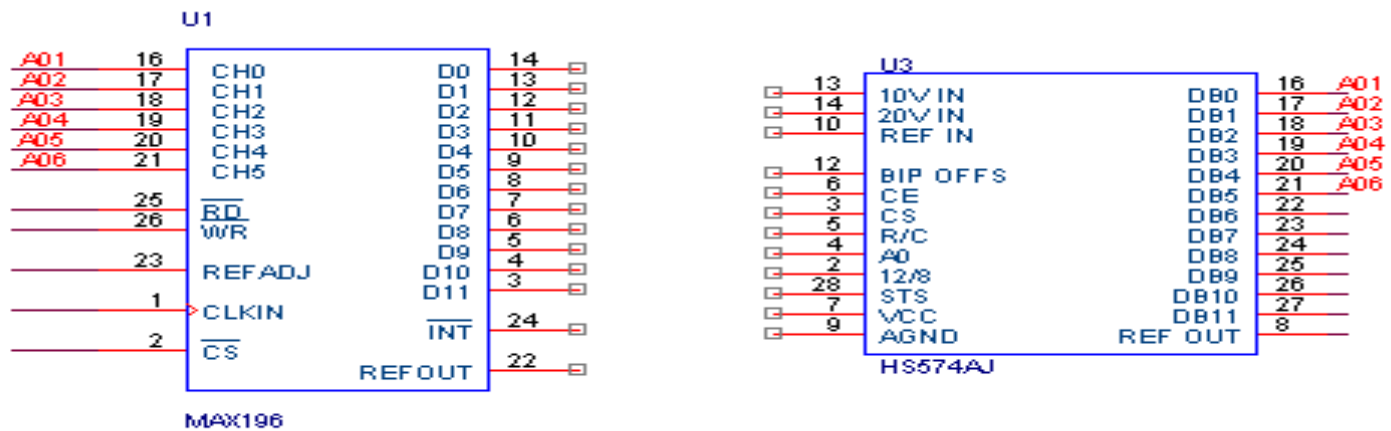

회로도면 구조의 가장 기본적인 형태로 한 장의 도면으로만 구성되어 있다.
이런 단일 구조의 도면에서 부품의 어떤 pin과 연결될 다른 pin 간에는 보통 wire를 사용하여 연결하지만 거리가 먼 경우나 도면을 깔끔하게 구성하기 위하여 Bus 나 Net Alias를 사용한다.

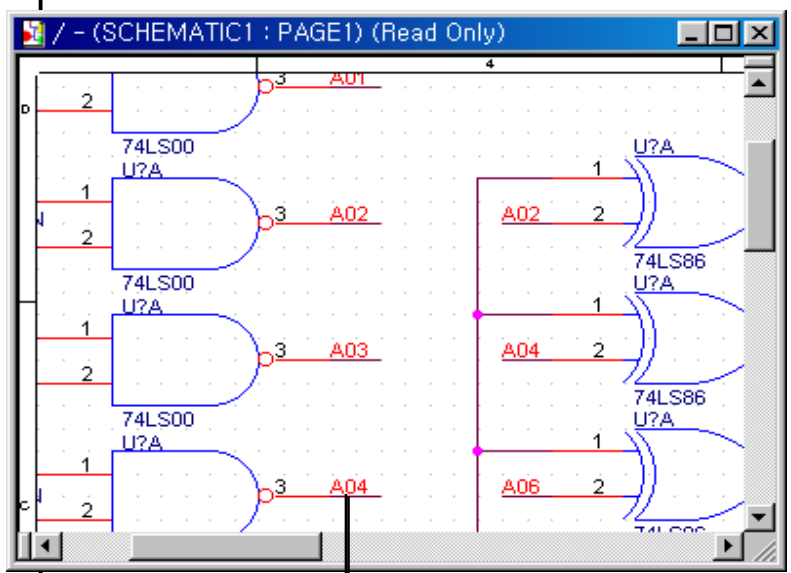
Bus를 사용할 경우는 Bus name 형태에 주의해야 하며 ( 예 : 'BCD[3..0]' ) Net Alias를 사용할 경우는 서로 연결될 pin에 일정 길이의 wire를 이은 후 그 위에 같은 이름의 Alias를 배치한다.

orcad
a Cadence product family

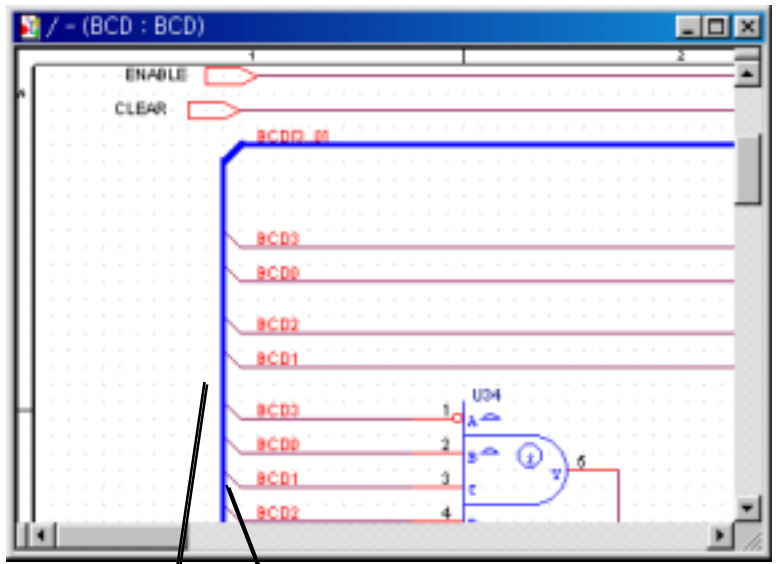
# Net Alias 기능

( Only One sheet)





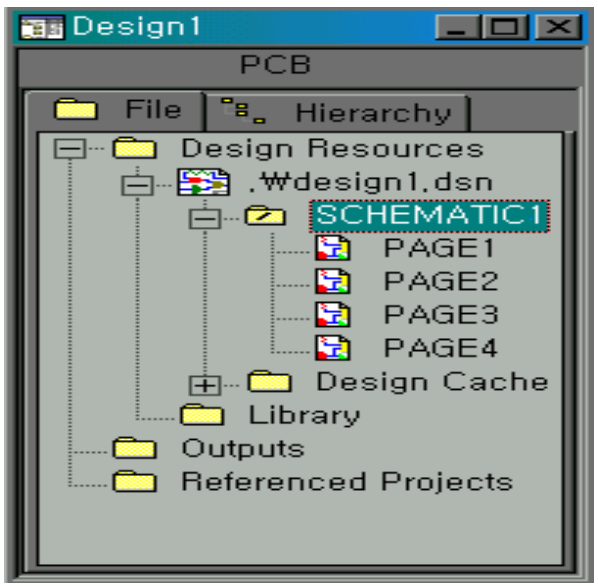

Net Alias



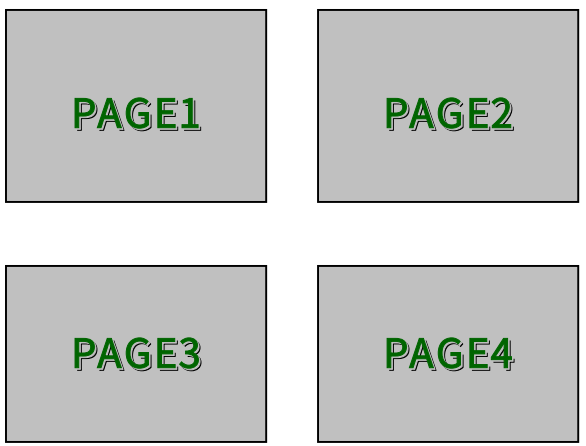

Bus  Bus entry

# 2. 평면계층구조 (Flat)

orcad
a Cadence product family



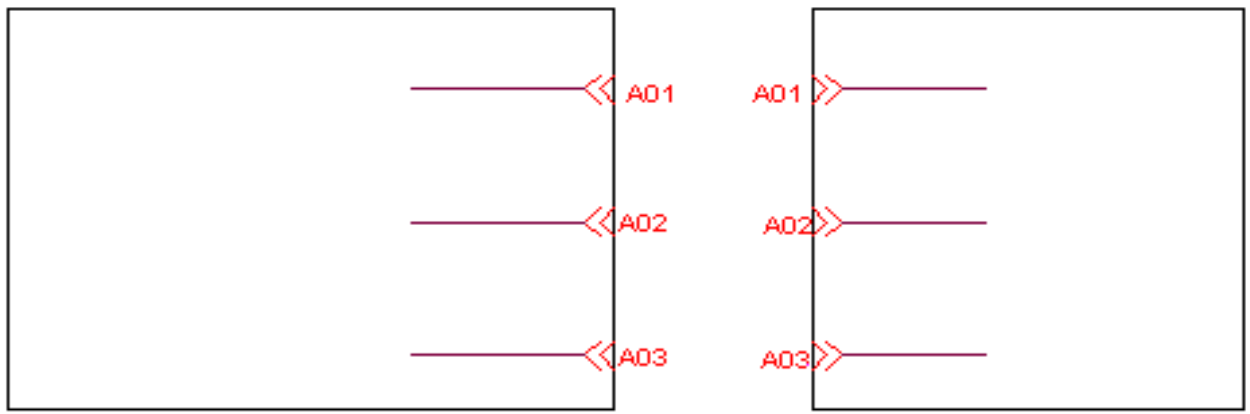

단일 구조 형태에서 Manager 창의 Schematic 폴더 아래에 있는 Page가 여러 개 생성되는 형태로 도면을 여러 장으로 나누어서 작업할 때 사용한다.

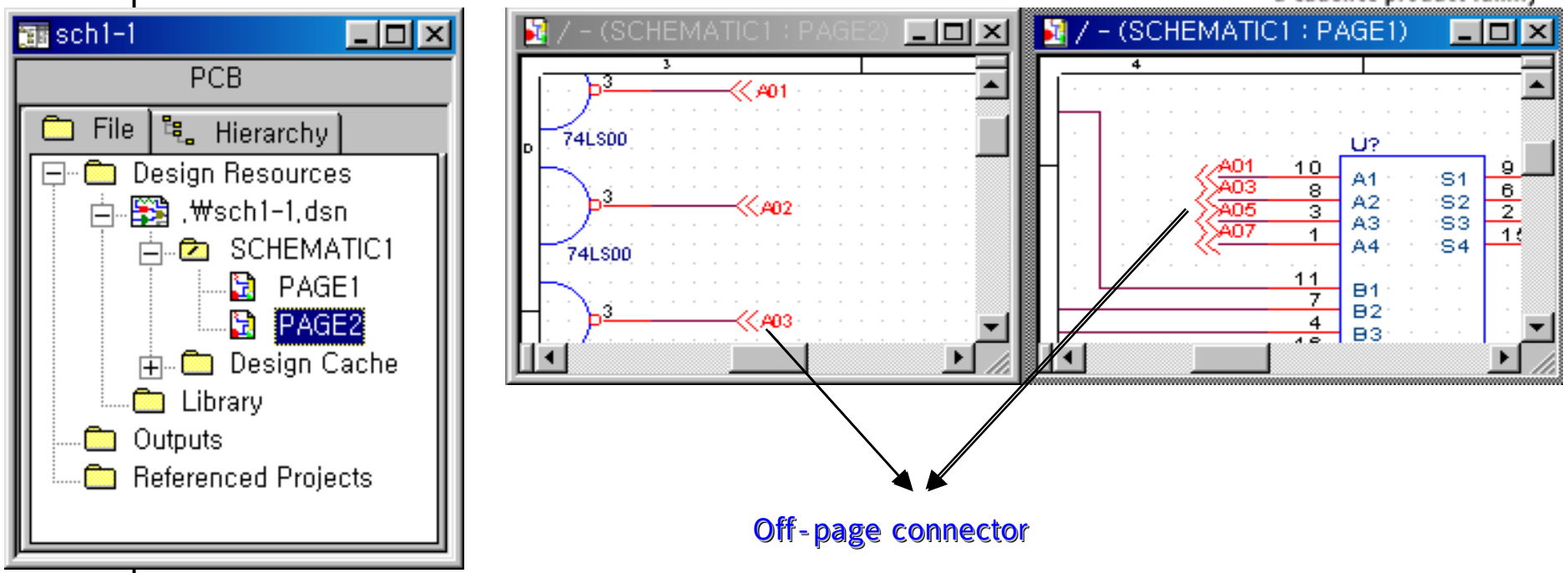


orcad
a Cadence product family

# Off- Page Connector 기능

( Flat 구조 , One Sheet 구조 ) 서로 다른 Page 간의 연결






일반적으로 Off-page connector는 평면 구조 도면에 적용시키지만 단일 구조 도면에서도 적용시킬 수 있다. 사용 방법은 동일한 Schematic 폴더 내에 있는 서로 다른 page 도면의 off-page connector 끼리 같은 이름을 부여하면 된다.

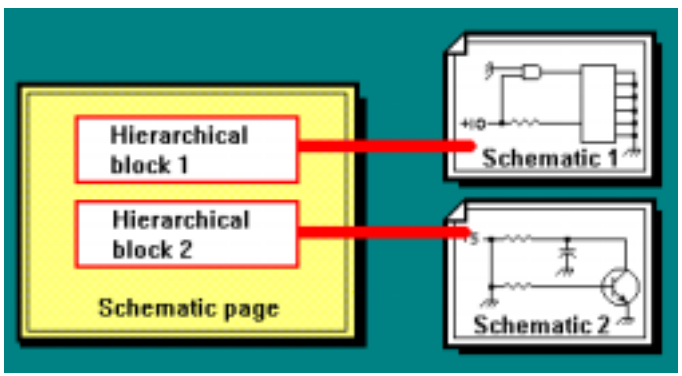
# 3. 계층구조 (단순, 복합)

이 구조는 회로도의 임의의 영역을 다른 계층의 도면으로 관리하는 경우 사용되며 Project Manager 창의 Schematic 폴더 아래에 또 다른 Schematic 폴더가 존재하는 형태로 나타난다.

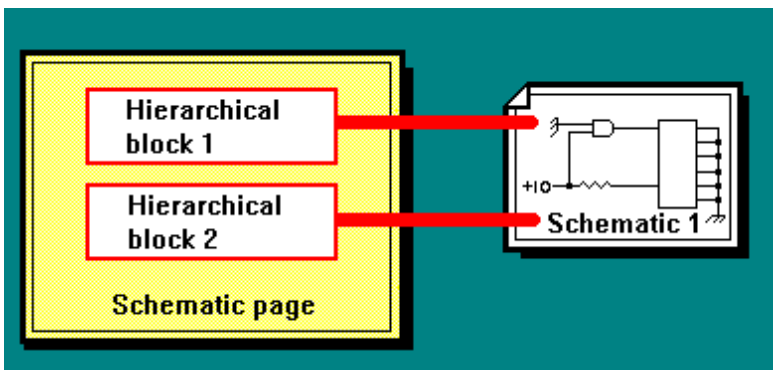
계층 구조를 구성하는 3가지 요소는 다음과 같다.

- Hierarchical Block
- Hierarchical Pin
- Hierarchical Port

- 계층 구조는 계층간 연결 형태에 따라 단순 계층 구조와 복합 계층구조의 2가지로 나누어 볼 수 있다.




<Simple Hierarchy>



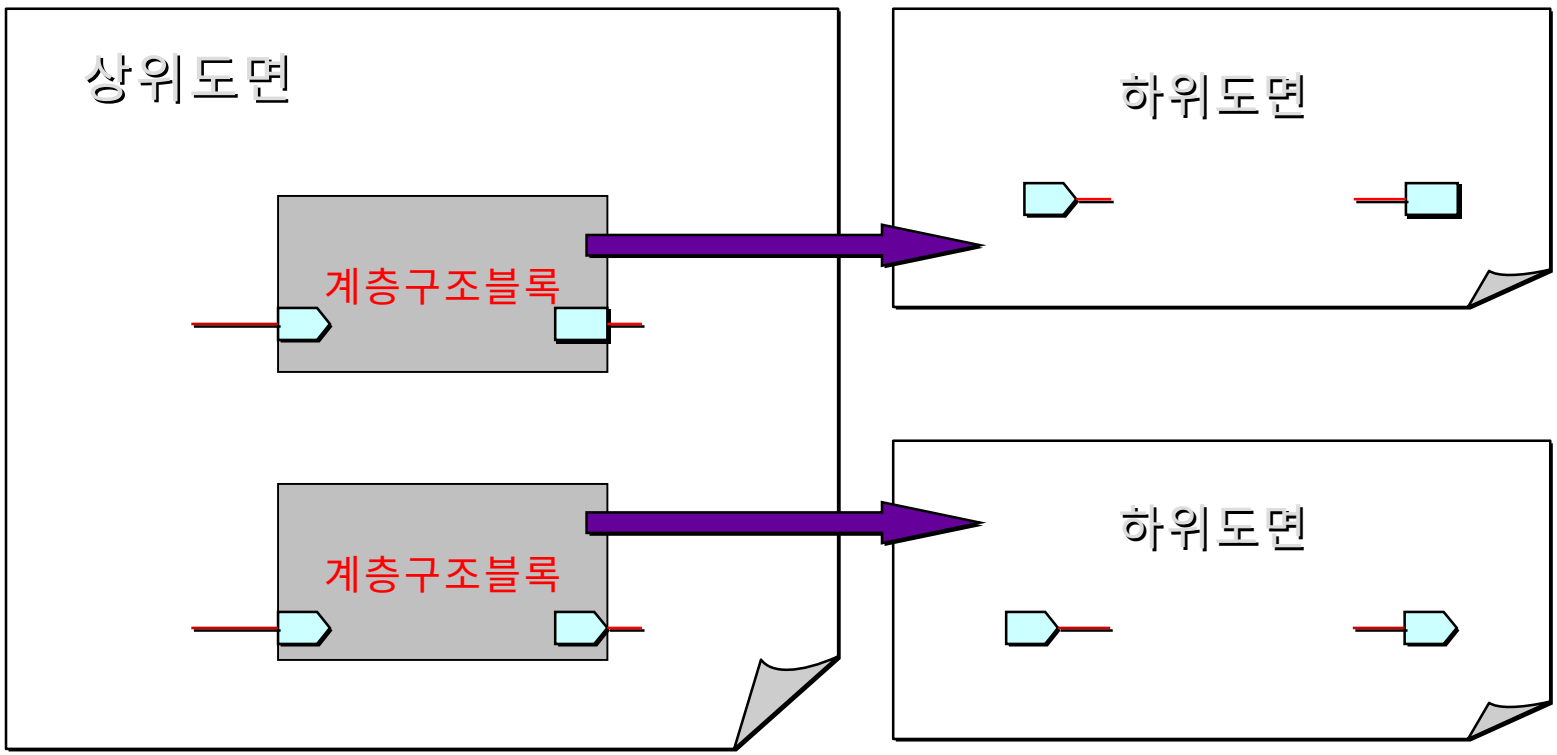

<Complex Hierarchy>

# Generic, 계층구조 Port 기능

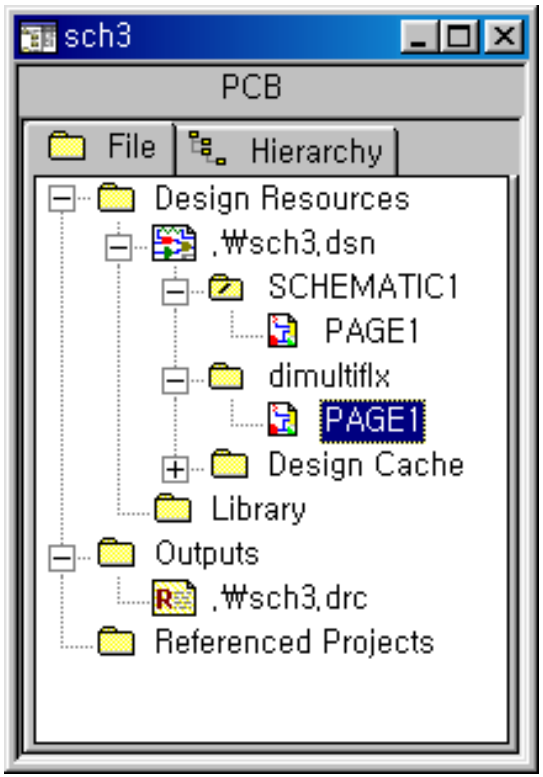
( Hierarchical 구조 + Flat 구조 + One sheet 구조)

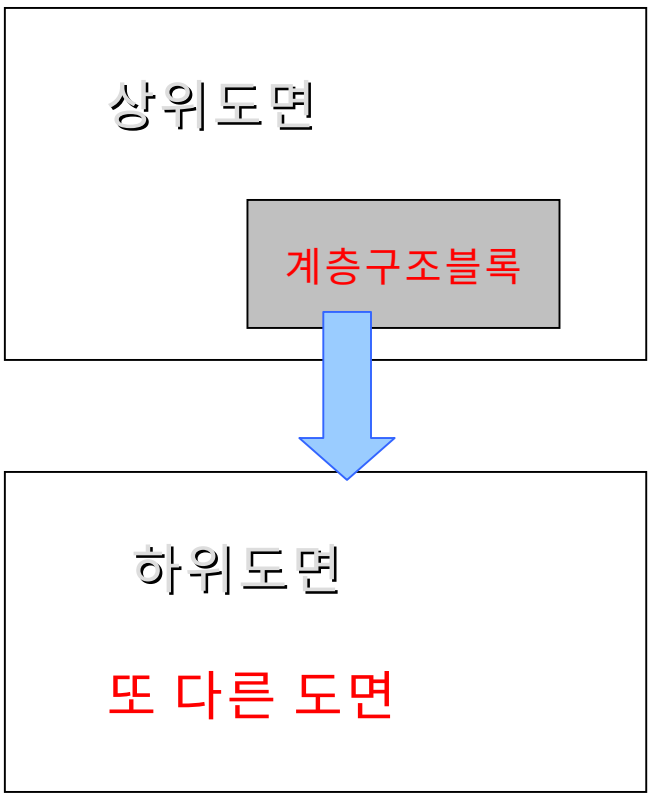
주의 > 위의 모든 구조가 사용 가능 하지만 Flat 또는 One Sheet에 계층구조 Port 사용시 DRC 확인 시 상호연결 Checking이 되지 않음.

평면도면 → Off-page Connector 사용, 계층도면 → 계층 Port를 사용하는것이 좋음.

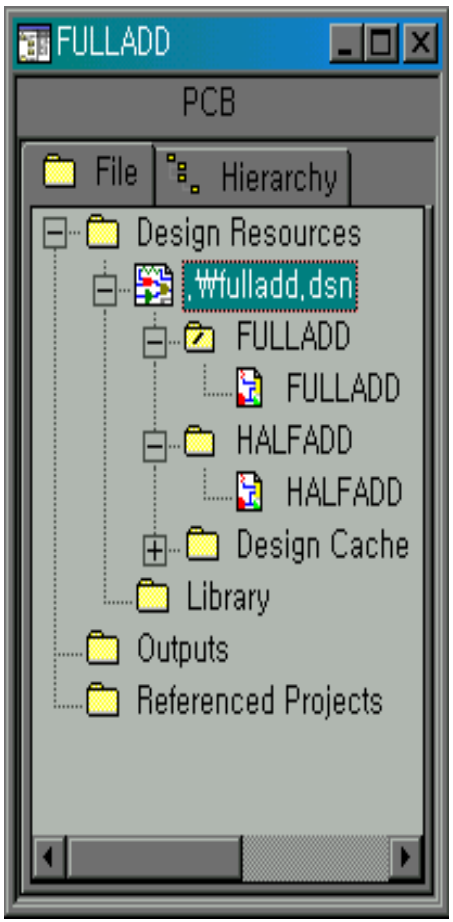


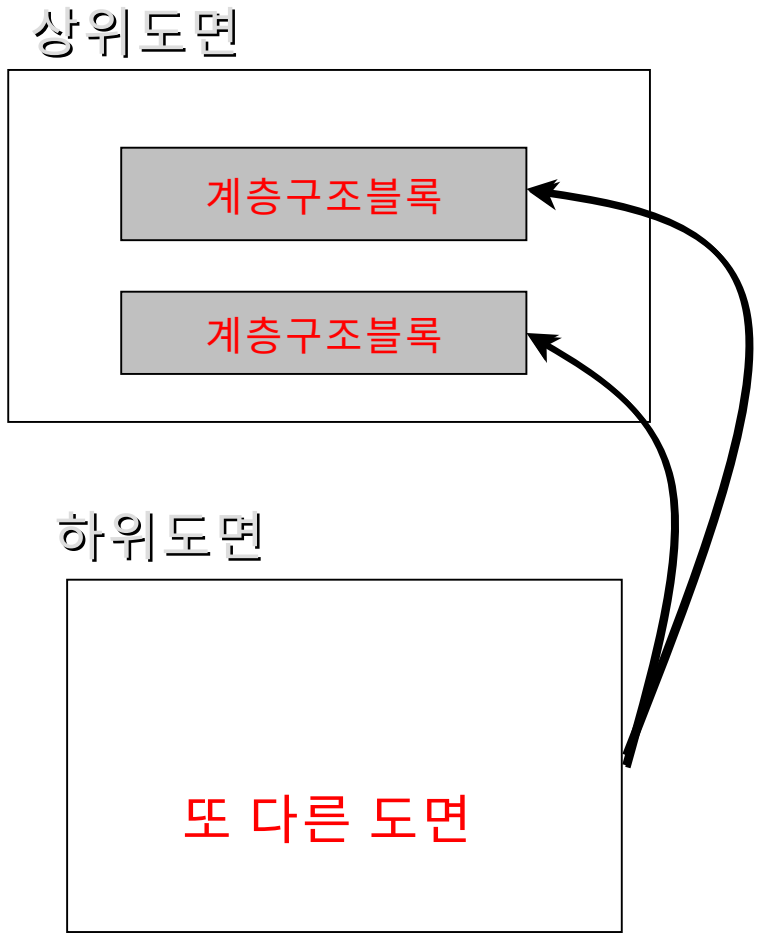
# 단순계층구조


sch3
PCB
File
Hierarchy
Design Resources
₩sch3.dsn
SCHEMATIC1
PAGE1
dimultiflx
PAGE1
Design Cache
Library
Outputs
₩sch3.drc
Referenced Projects


상위도면
계층구조블록
하위도면
또 다른 도면

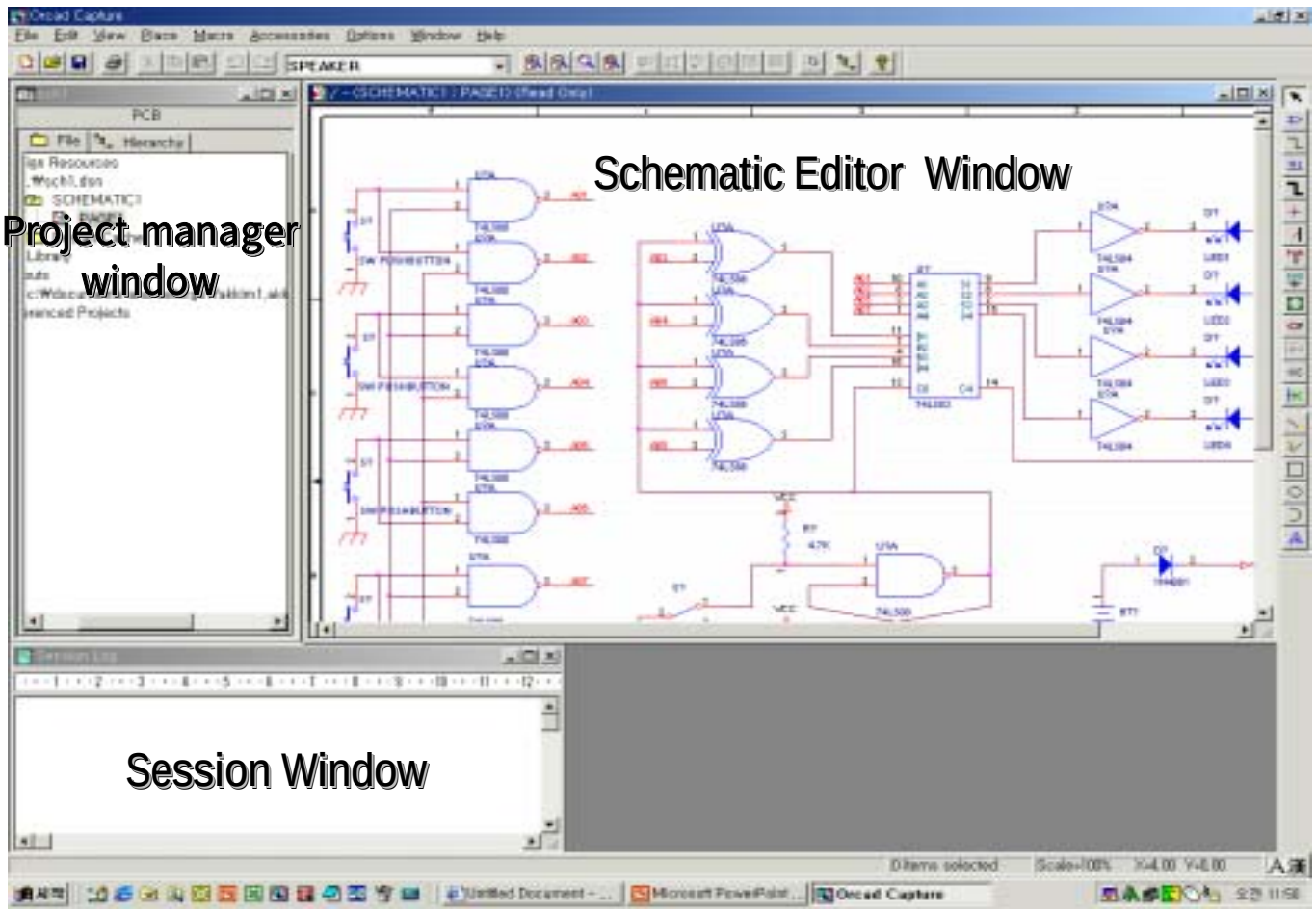
# 복합계층구조


FULLADD
PCB
File
Hierarchy
Design Resources
₩fulladd.dsn
FULLADD
FULLADD
HALFADD
HALFADD
Design Cache
Library
Outputs
Referenced Projects


상위도면
계층구조블록
계층구조블록
하위도면
또 다른 도면

# OrCAD Capture for Windows 환경

## 1. Capture 작업 환경 ( 3개의 Window로 구성 )



orcad
a Cadence product family

## ▪Project manager window

Design file을 생성하거나 open할 때 사용하는 윈도우로 상위 도면과 하위 도면의 연결구조 상태를 볼 수 있으며, 해당도면에서 생성되는 Library (Design cache), 보고서 파일(Bill of Materials, Cross Reference part)과 도면 정보 검사 파일(Design Rules Check)등의 파일들을 포함하고 있는 전체 작업 진행을 관리하는 창이다.

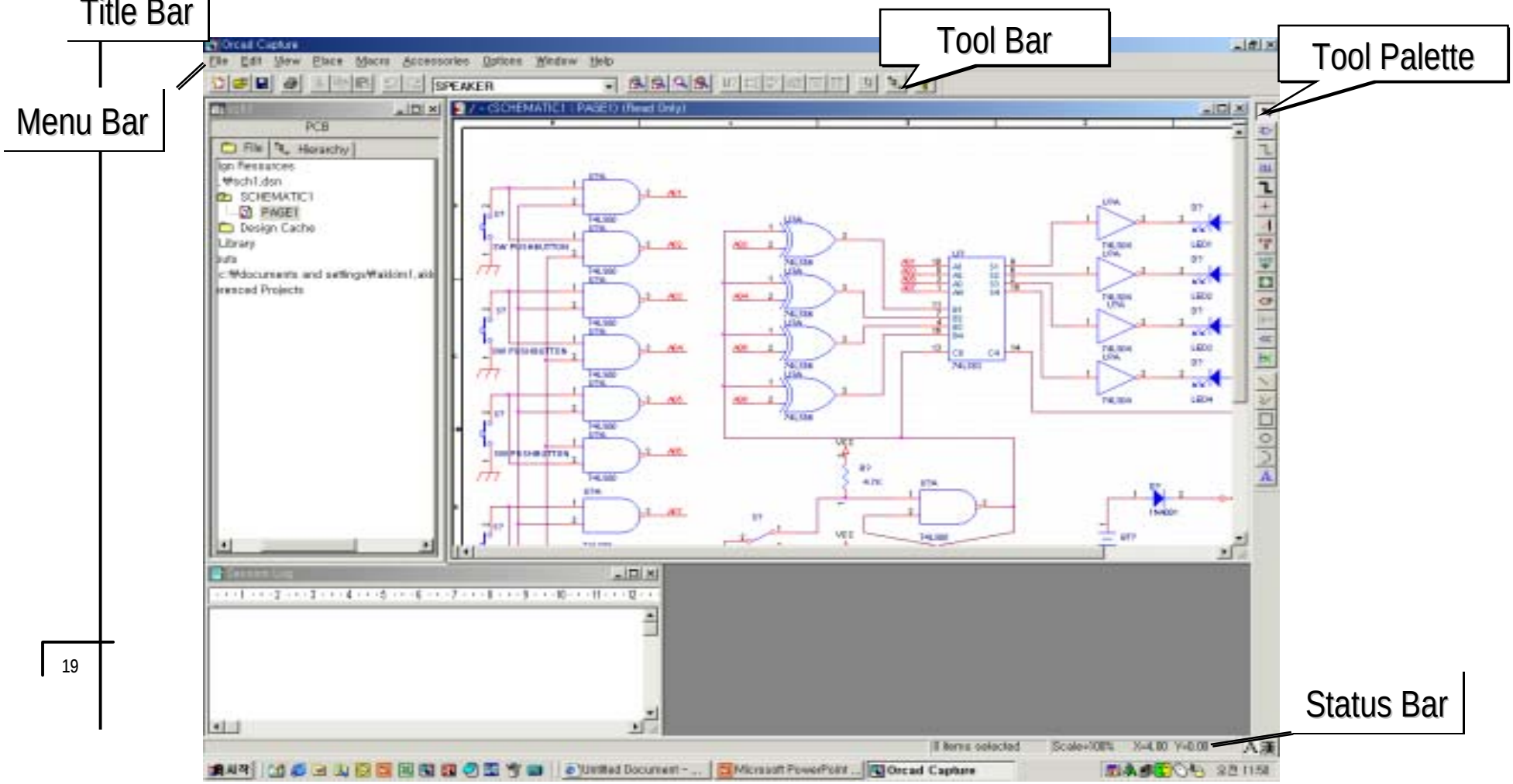
## ▪Schematic Page Editor Window

회로 설계의 작성이 이루어지는 창이며, manager창(Project manager Window)이 활성화 되었을 때와 Schematic 창(Schematic Page Editor Window)이 활성화 되었을 때 각각 메뉴 항목이 달라지게 된다. Parts(부품)나 Symbols 작성시에는 Part editor Windows라 한다.

## ▪Session Log Window

도면 완성후 작업이 진행되는 내용들을 표시하는 기능의 창이다. 부품의 참조 명칭(U1, U2...)을 결정하는 Annotate(Update Part Reference)의 내용과 도면검사 기준설정인 ERC(Error Rules Check)에 따른 도면검사(DRC : Design Rules Check)를 실행한 결과 기록, 또한 Netlist 생성에 따른 내용등을 나타낸다.

## 2. Capture Bar의 종류 ( 5가지 Bar로 구성 )



orcad
a Cadence product family

- **Title Bar**
  OrCAD Capture의 로그 표시된 Bar로서 전체 화면의 복귀, 확대, 닫기를 관리 한다.

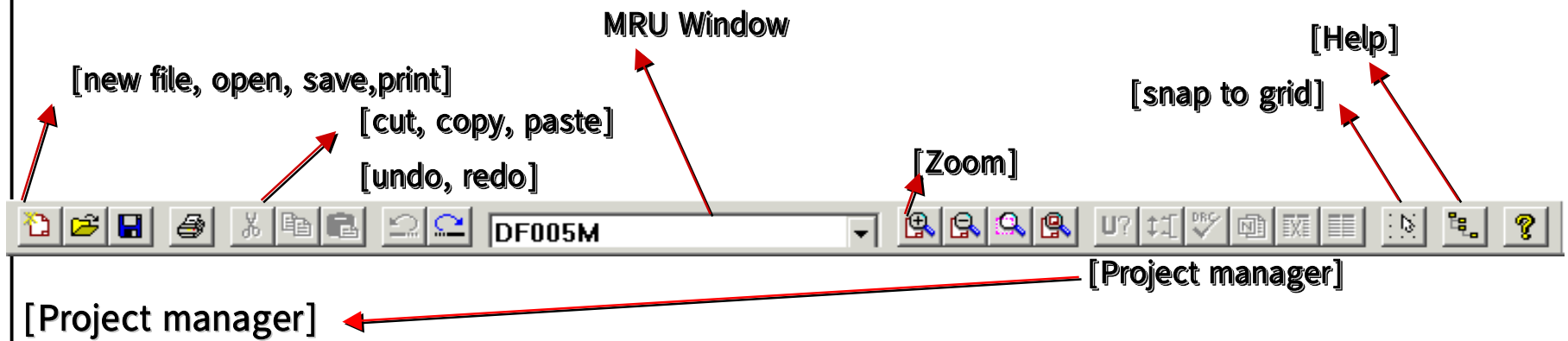
- **Menu Bar**
  File의 저장, 닫기와 편집뿐 아니라 전체적인 작업을 관리하는 Tool 메뉴, 도면 작성을 위한 Place 메뉴, 환경 설정을 위한 Options 메뉴 등으로 구성되어 있다.

- **Tool Bar**
  새로운 파일 생성과 open, save, 도면의 확대, 축소의 기능과, Annotation, Design Rules Check, Netlist 생성 등 전체적인 작업을 진행하는데 필요한 기능을 아이콘으로 표시해 놓은 Bar이다.

- **Tool Palette**
  OrCAD Capture의 로그 표시된 Bar로서 전체 화면의 복귀, 확대, 닫기를 관리 한다.

- **Status Bar**
  현재 도면에서의 상태, 즉 마우스 포인터가 가리키는 좌표와 현재 사용자가 선택하고 있는 객체의 개수등을 표시하는 Bar 이다.

# Tool Bar

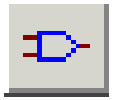



- Annotate (Update Part Reference) : 부품의 참조명칭 부여하는 기능.
- Back Annotate : 회로도의 Gate와 Pin의 교체.
- Design Rules Check (DRC) : 회로도의 디자인 규칙 위반사항 검사.
- Create Netlist : 회로도의 부품과 선 연결정보 file 작성.(여러가지 포맷 제공)
- Cross Reference Part : 회로도의 부품 사용 경로와 각 정보를 포함하는 교차 참조 보고서 file 작성.
- Bill of materials : 회로도에 사용된 부품의 개수, 종류, 수량, 부품 값 등을 포함하는 부품 목록 보고서 file 작성.

# Tool palette bar


- Select : 임의의 객체 선택.
- Place part : 부품 불러오기.
- Place wire : 부품이나 심벌간 배선 연결.
- Place net alias : 배선과 버스에 임의의 이름(별명)부여.
- Place bus : Multi로 연결되는 신호에 대한 버스라인 형성.
- Place junction : 배선과 배선의 접속점 표시.
- Place bus entry : 버스와 일반 wire와의 연결 부분 지정.
- Place power : 회로도에 전원신호 연결.
- Place ground : 회로도에 접지신호 연결.
- Place hierarchical block : 회로도에 계층구조의 블록 설정.
- Place [hierarchical] port : 계층구조 핀과 연결되어 사용되는 포트.
- Place [hierarchical] pin : 계층구조 블록 위에 핀 배치.
- Place off-page connector : 평면구조의 회로도 연결 시 사용되는 포트.
- Place no connect : 부품의 pin에 배선 등을 연결시키지 않을 때 사용.
- Place line : 전기적 속성을 지니지 않은 일반 선 그리기.
- Place polyline : 전기적 속성을 지니지 않은 일반 다각도 선 그리기.
- Place rectangle : 전기적 속성을 지니지 않은 일반 직사각형 그리기.
- Place ellipse : 전기적 속성을 지니지 않은 일반 타원형 그리기.
- Place arc : 전기적 속성을 지니지 않은 일반 원호 그리기.

# Place part



(hot key ; P)

orcad
a Cadence product family


Place part 항목을 선택 시 부품을 쉽게 찾도록 도와주는 place part창이 나타난다.
Part 항목에서는 자신이 찾고자 하는 부품 넘버를 기입하면 쉽게 찾아올 수 있다. 모든 라이브러리에서 검색을 할 수 있는 것은 아니다.
라이브러리 항목에서 불러온 라이브러리만을 검색하여 찾을 수 있고 새로운 라이브러리를 불러올 시에는 Add Library... 버튼을 눌러주면 된다.

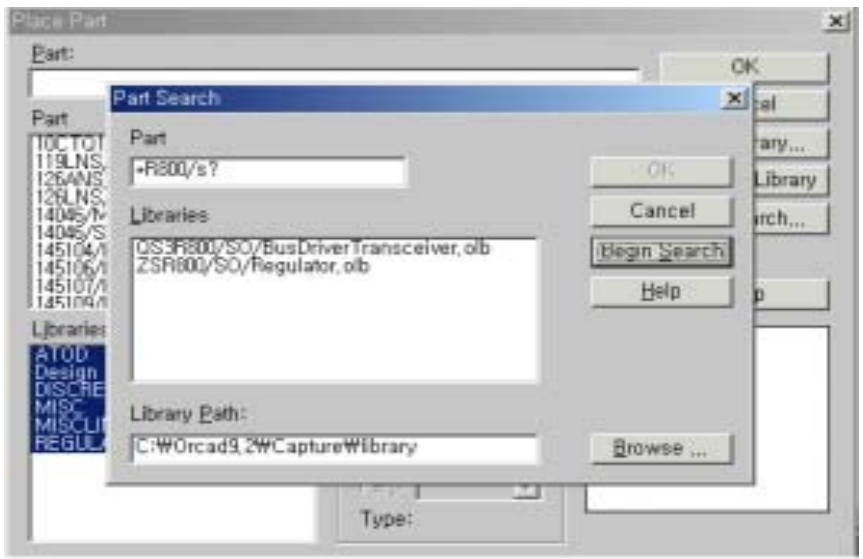
- Part Search 시 Wild card 적용

Extension Character

( EX ; *LS00 , NE5* , MOC*21 , ...)

Question Character

( EX ; SHC?01 , TL?544M , ?LP161 , ZSR800/S? , ...)

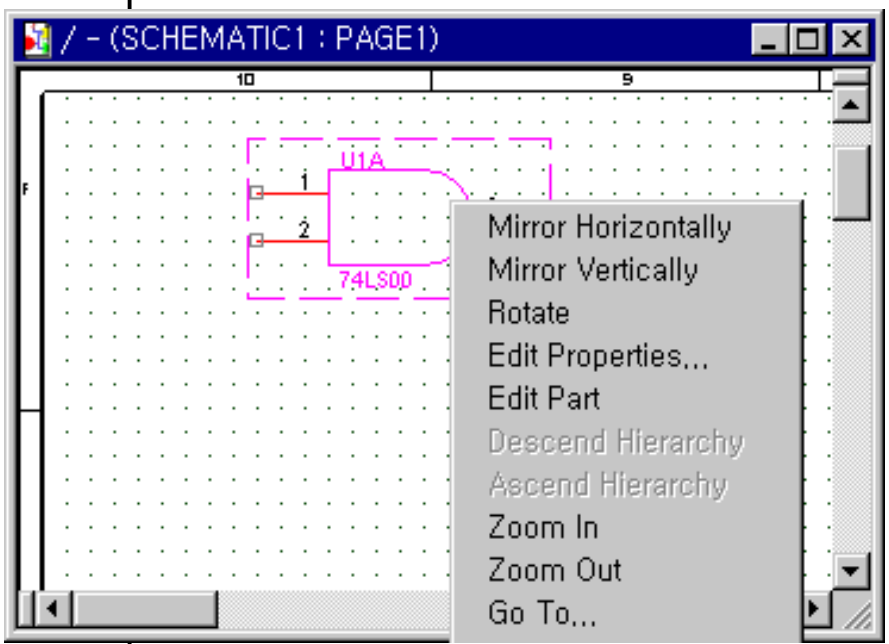


예) 보기와 같이 *ls00와 같이 검색 창에 *character를 적어주면 part search창에서는 ls 문자 앞에 몇 개의 문자 혹은 숫자가 있든지 끝이 ls00으로 끝나는 부품을 검색하여 소속 라이브러리까지 나타내어준다.

다음은 Question character(?)가 있다. 이것은 74ls??라고 검색 창에 적어주면 74ls로 시작하고 끝은 문자 혹은 숫자가 두개가 들어가는 것에( ? 마크가 쓰여진 개수에 따라 ) 합당한 부품을 검색하여 찾아준다.

종합하여 보면 *ls??라고 검색 창에 적어주면 시작은 몇 개가 들어가든 상관없이 중간에 ls가 들어가고 끝은 문자 두개로 끝나는 부품을 검색하여 나타내준다.

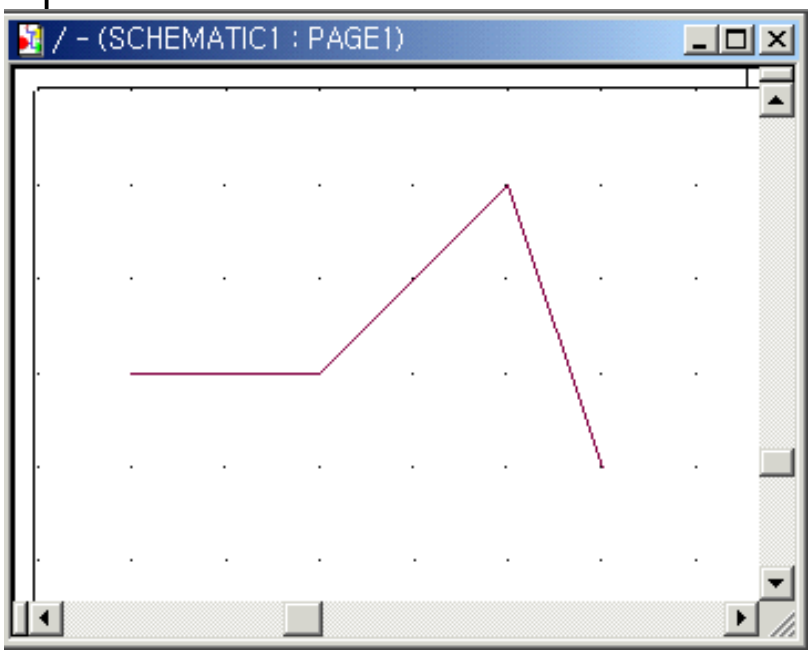
**원하는 부품을 찾을 수 없다는 메시지가 나올 때에는 검색 창 밑에 Library 경로가 제대로 지정되었는지를 확인한다.**
**(OrCAD \ OrCAD_10.0 \ Capture \ Library)**




부품을 배치하고 난 후 부품이 활 성화 된 상태에서 오른쪽 마우스를 클릭하면 부품 편집에 관련한 pop-up menu가 나타나는데 (2장 에서도 언급했듯이 object 지정 → 오른쪽 마우스!) 부품의 자세한 속성을 보려면 Edit Property를 선택하면 된다.

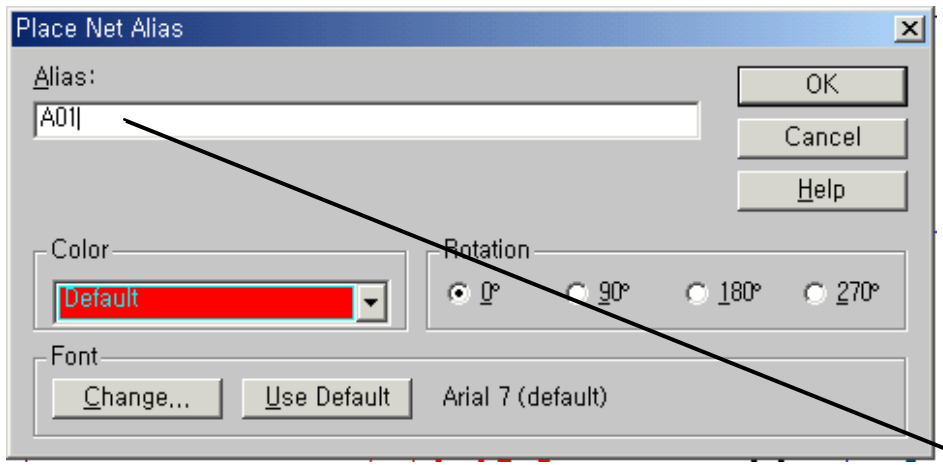
배치한 부품을 회전할 때에는 Rotate (hot key; R) 좌우대칭 시는 Mirror Horizontal (hot key; H)을 선택한다. 상하대칭 시에는 Mirror Vertical ( hot key ; V)을 선택하여 주면 된다.

# Place Wire  (hot key; W)

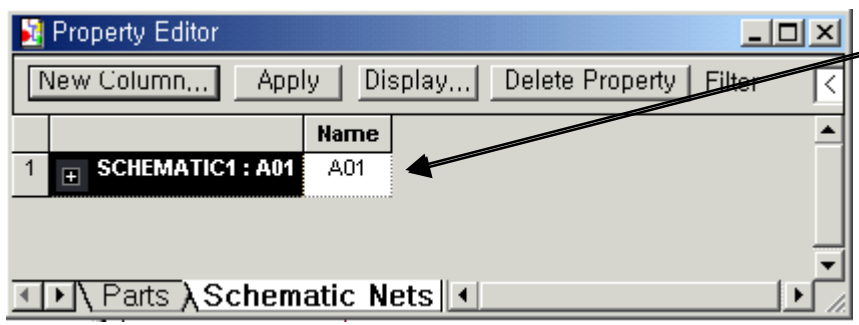


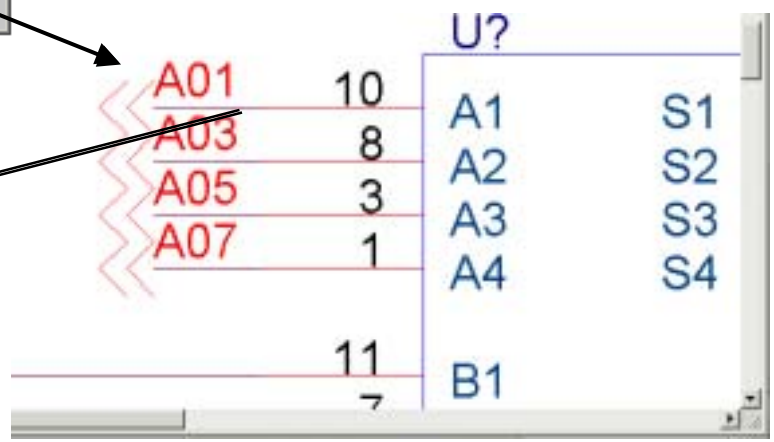

- 핀과 핀을 전기적으로 연결하여주는 wire를 사용
- place line, poliline (전기적인 속성을 뛰지않은 라인 )과는 다름
- Wire가 제대로 핀에 연결 시 핀에 있는 사각형 박스가 사라진다.
- Wire를 대각선으로 연결 시에는 Shift와 함께 왼쪽버튼을 클릭.

# Place Net Alias

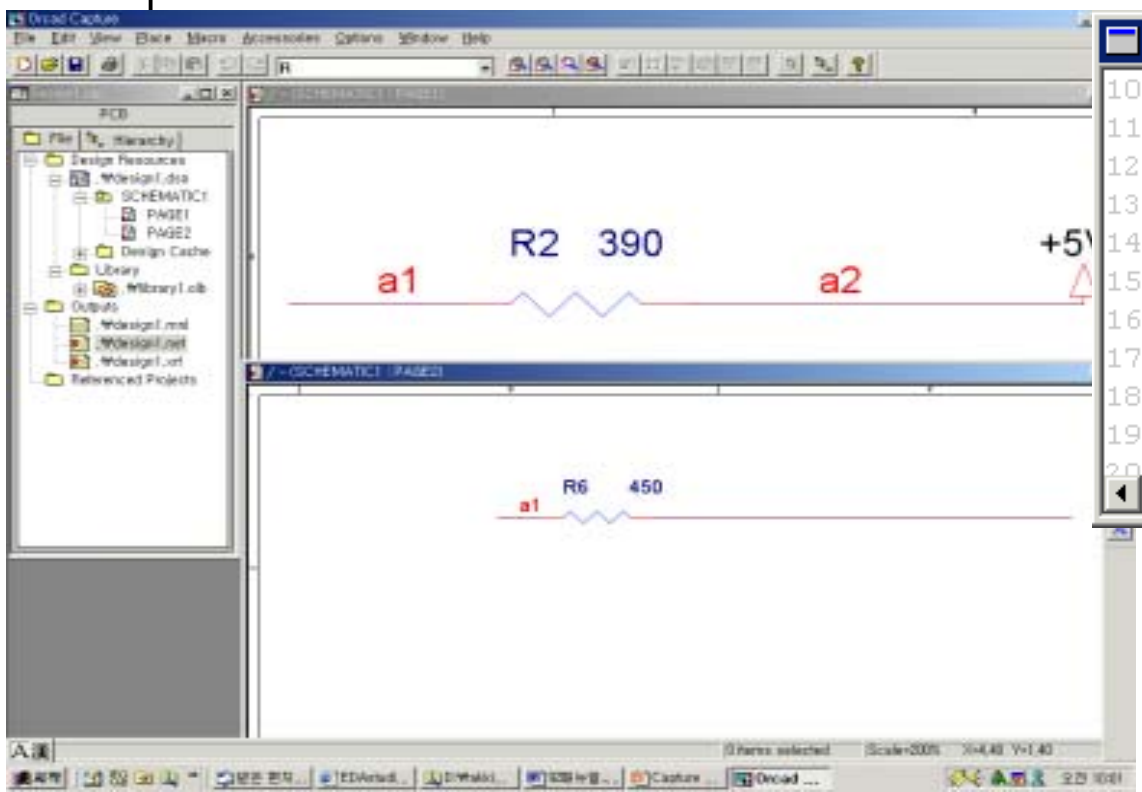



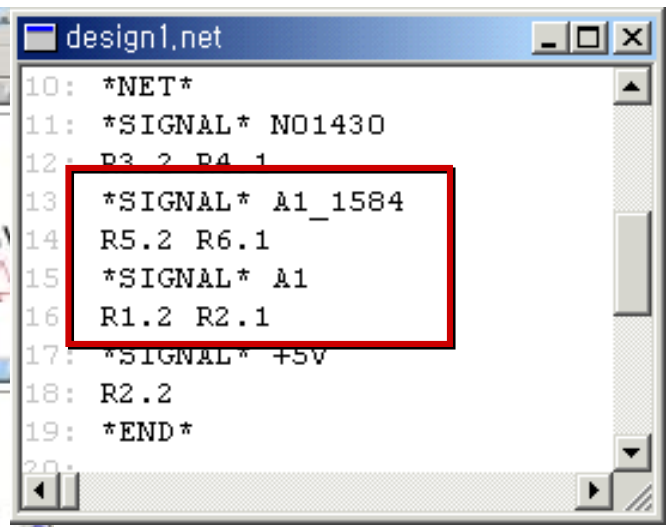

- 도면상에서 불필요한 wire를 줄일 때와 임의로 net와 Bus에다 name을 줄 때 많이 사용.



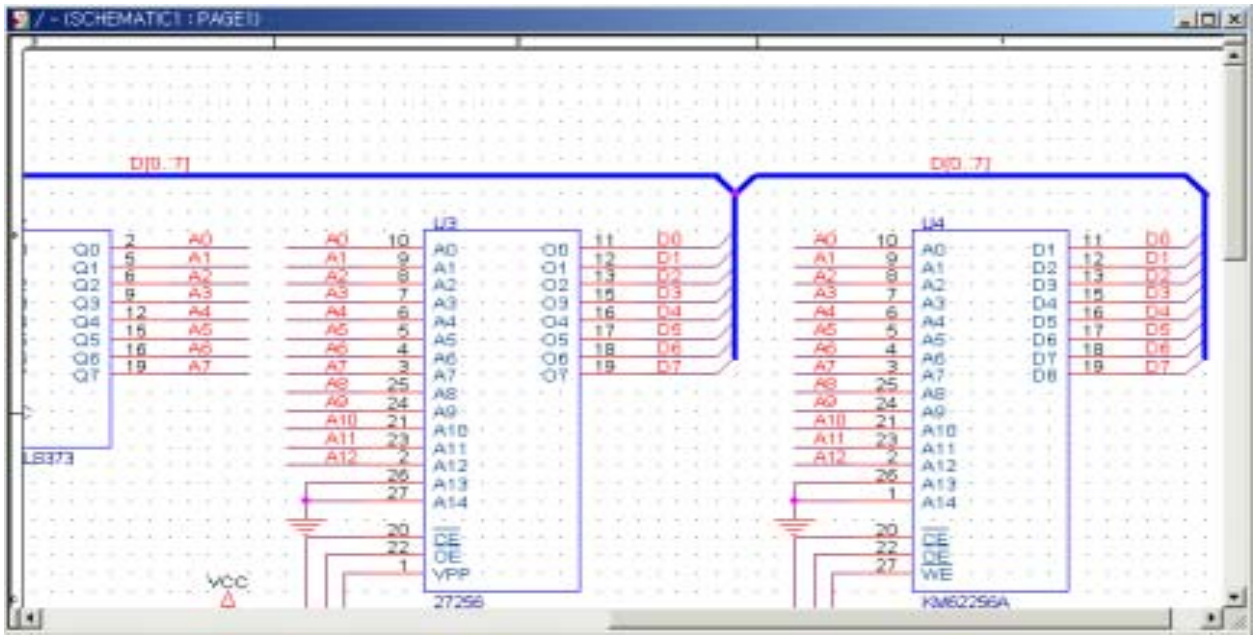
Net Alias 는 One Sheet 도면 내에서만 사용 가능.




Connector로 연결되어있지 않은 도면에서 Net alias로 같은 net name을 주었지만 Netlist를 뽑아보면 서로 다른 net name으로 연결되어 있지 않은 것을 알 수 있다.

# Place BUS (hot key ; B)




- BUS는 일률적으로 들어가는 data라인을 단순화시킬 때 사용하는 Net 로서 BUS name은 net alias를 사용하여 버스 위에다가 **네트 네임[네트 시작번호..네트 끝나는 번호]** ( A[1..5]등으로 표기).
- 핀을 wire와 그리고 wire와 bus 사이에 entry를 이용하여 연결 .
- 연결된 pin에 해당 네트 네임을 Net alias를 이용하여 표기.

orcad
a Cadence product family

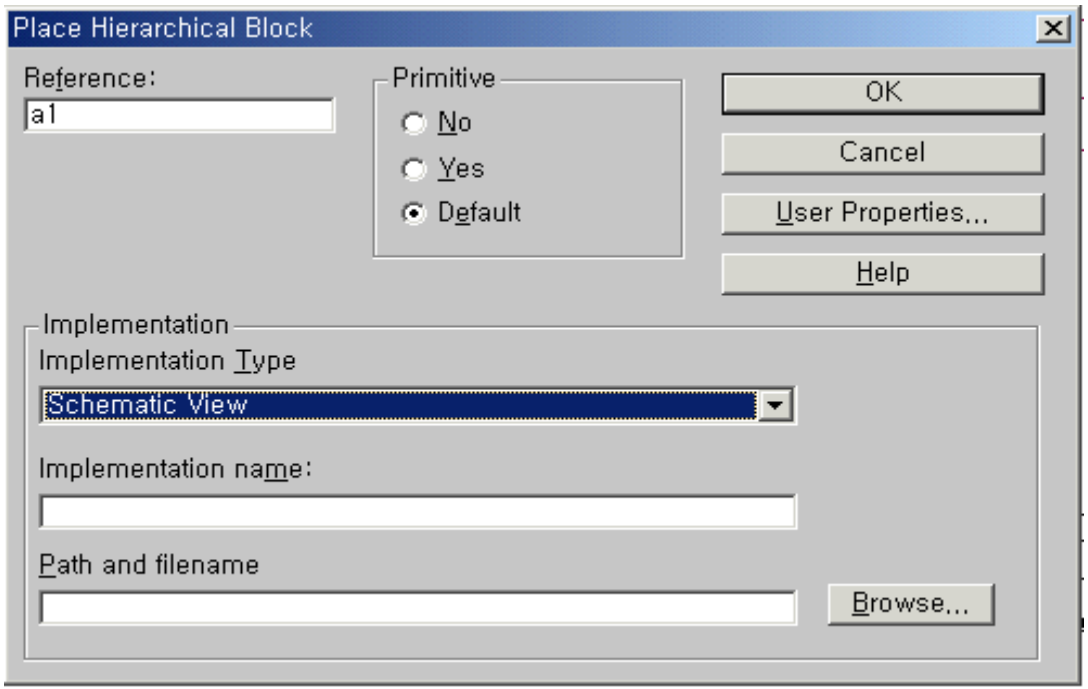
# Place Juntion

- Junction mark는 두 wire가 가로지를 때 wire를 연결해주는 역할을 한다. 가로지를 때 wire상에서 한번 클릭을 해주면 되고 그냥 지나가면 생성이 되지않는다.

# Place no connect

- no connect mark는 쓰지않는 핀이 있을 때 사용하는 버튼으로 체크를 하지않으면 Error의 원인이 된다.
- 이 두 항목을 삭제 시에는 다시 한번 똑 같은 mark를 해주면 사라지게 된다.

# Place Hierachical block



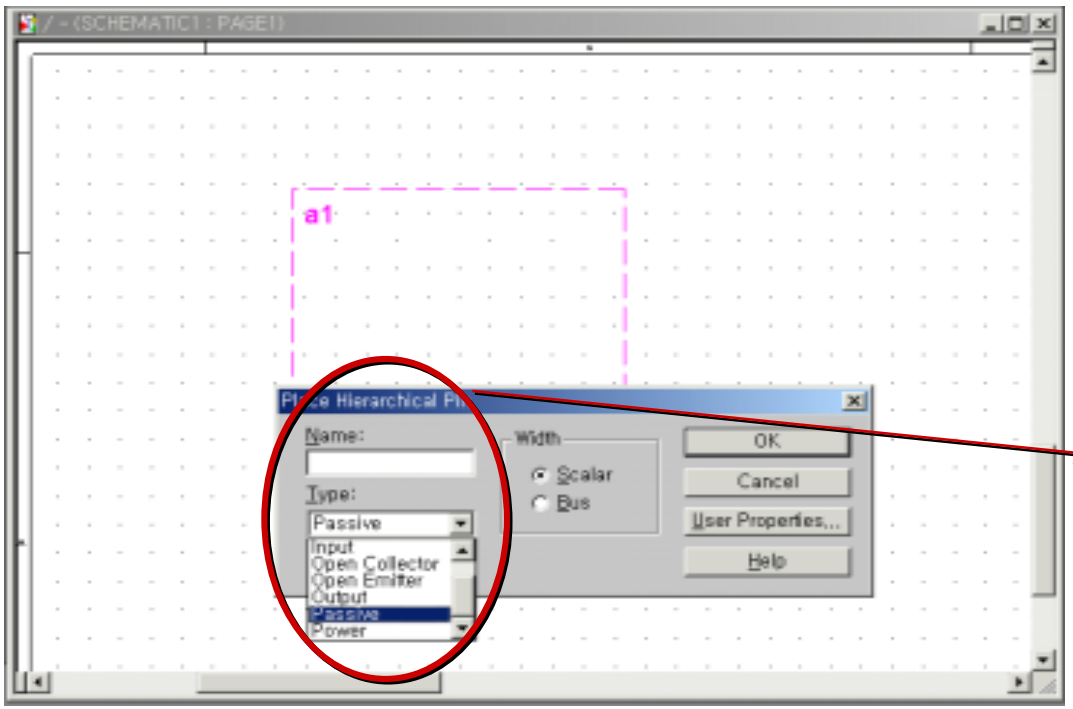

**Reference :** Part Reference와 같이 중복이 되지 않도록 Reference Name을 주도록 한다 .

**Implementation type :** Block 안에 지정될 type을 지정한다. 도면이면 schematic view , VHDL 이면 VHDL을 선택하면 된다.

**Implementation name :** Block안에 들어갈 schematic name을 적어주면 된다.

**Path and filename :** 만약 implementation type에서 schematic view외의 항목을 선택 시 그 source 파일의 경로를 지정하여 주면 된다.

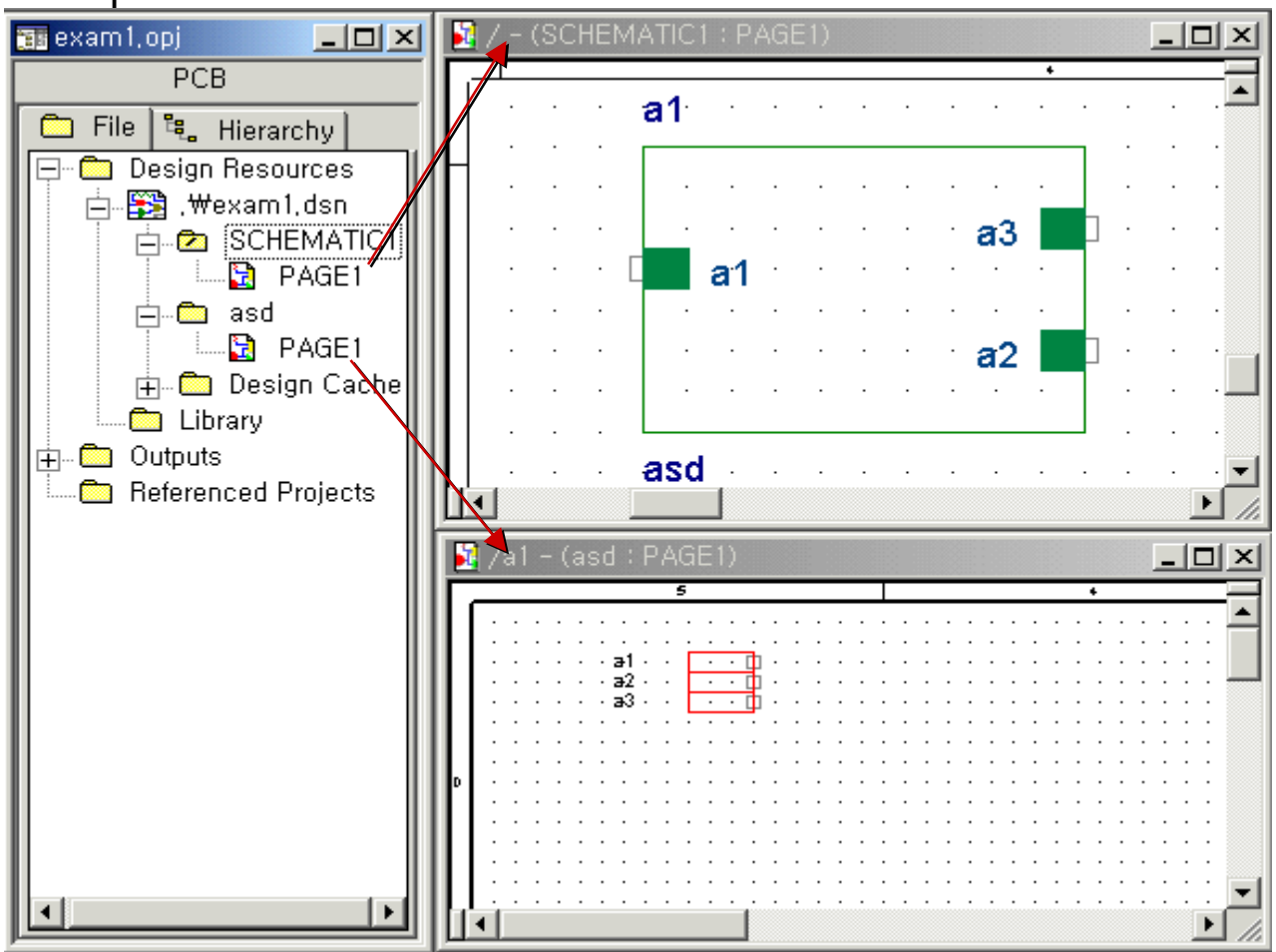
orcad
a Cadence product family




▪마우스를 드래그하여 Block을 지정하고 Place Hierarchical Pin( )를 이용하여 block안에 pin을 지정한다.

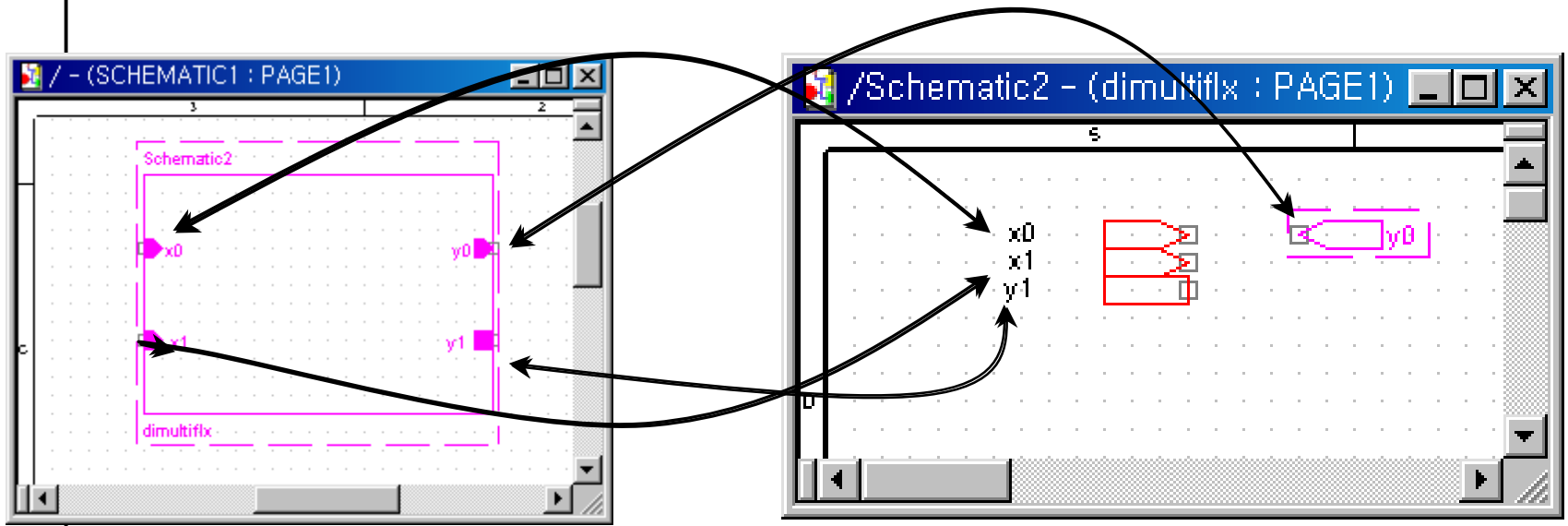
▪여기서 지정된 핀 네임과 Type을 가지고 하위계층 구조의 port의 네임과 Type이 결정된다.

▪Width에서는 일반 Net가 연결되면 Scalar,BUS를 연결하면 BUS를 선택하고 BUS를 선택 시에는 Block에 지정될 Pin name도 BUS name을 따라야 한다.

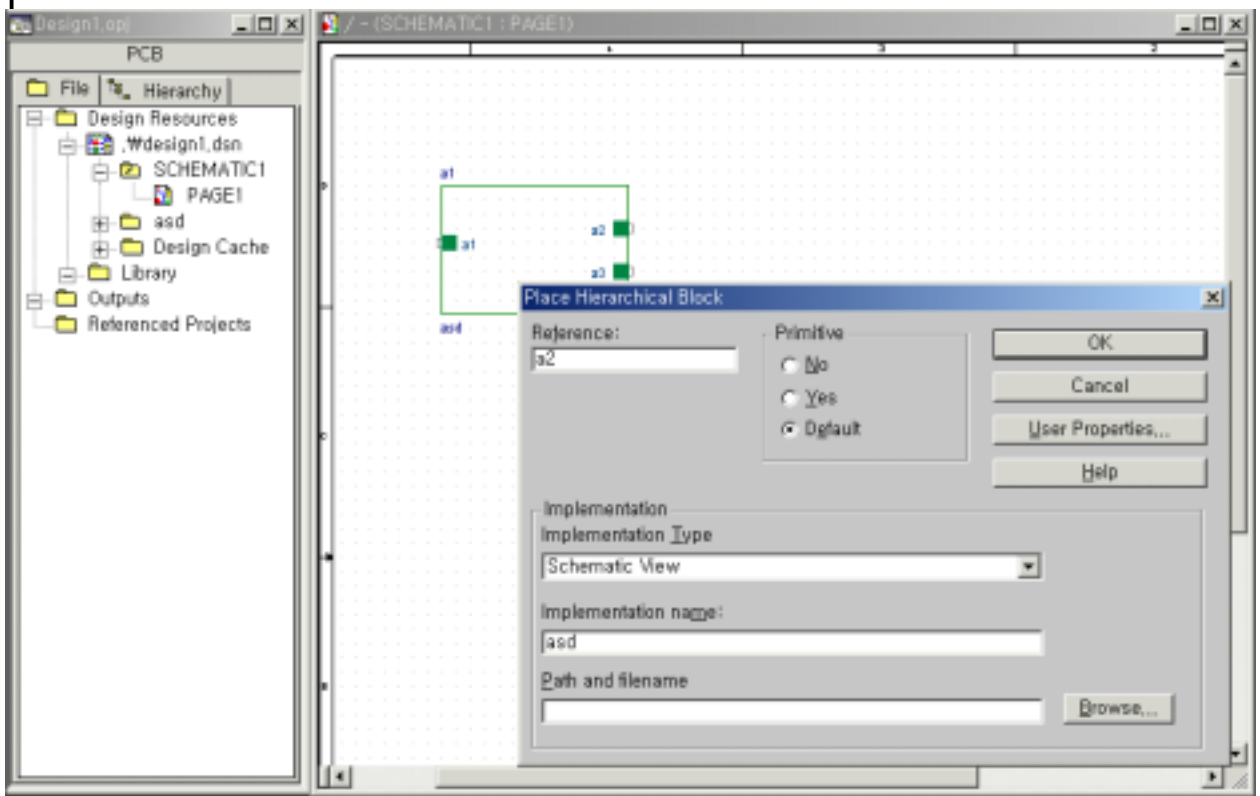



사용할 핀의 배치가 끝나면 오른쪽 버튼 Descend hierarchical block을 선택하면 핀과 같은 name의 port가 배치된 도면이 생성되고 project manager창에 새로운 도면 folder가 생성되는 것이 확인된다.

orcad
a Cadence product family



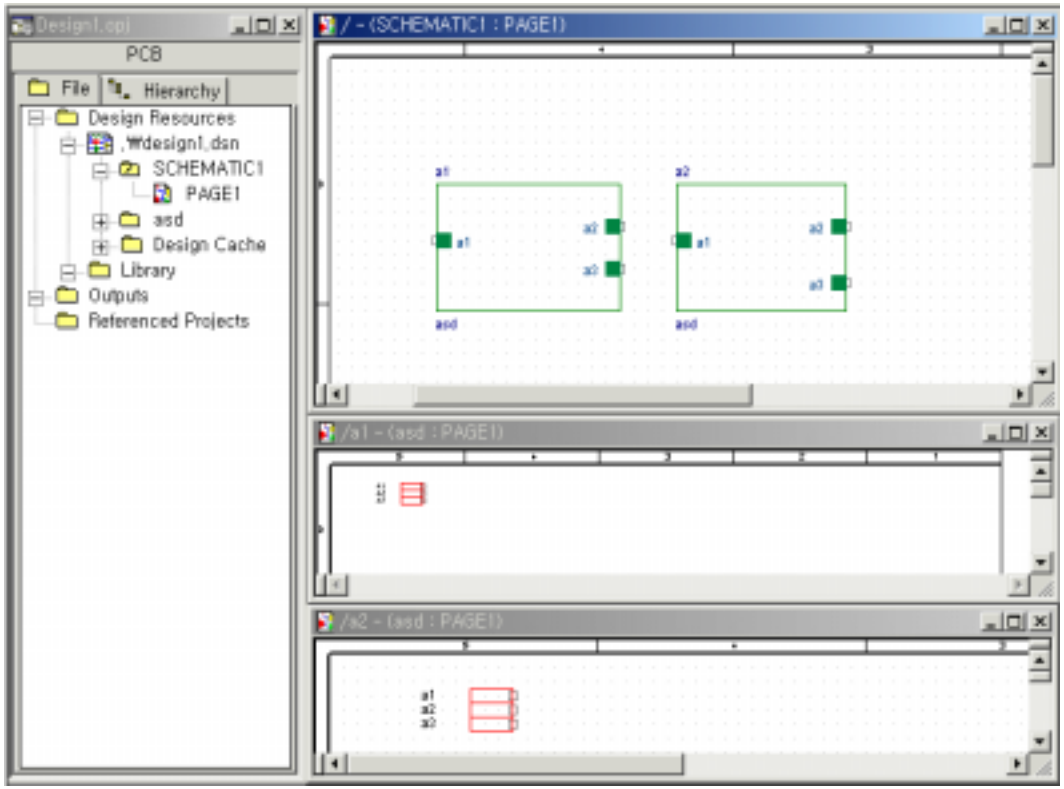
# 복합계층구조 만들기




1. Reference name이 겹치지 않도록 지정

2. Block 안에 지정될 type을 지정한다

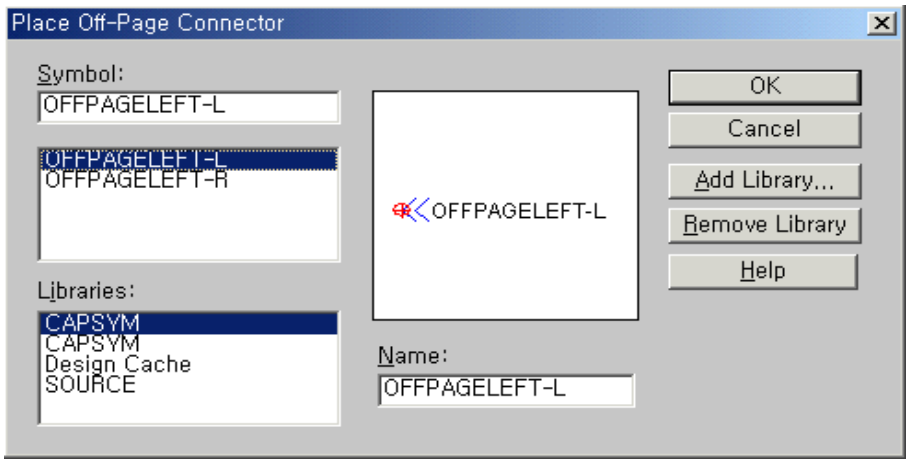
3. Implementation name은 Block안에 들어갈 회로의 implementation name을 똑같이 적어주면 된다.




4. block을 그려주고 해다 block에서 descend hierarchy를 선택.

5. 하위 계층 Page name 지정.

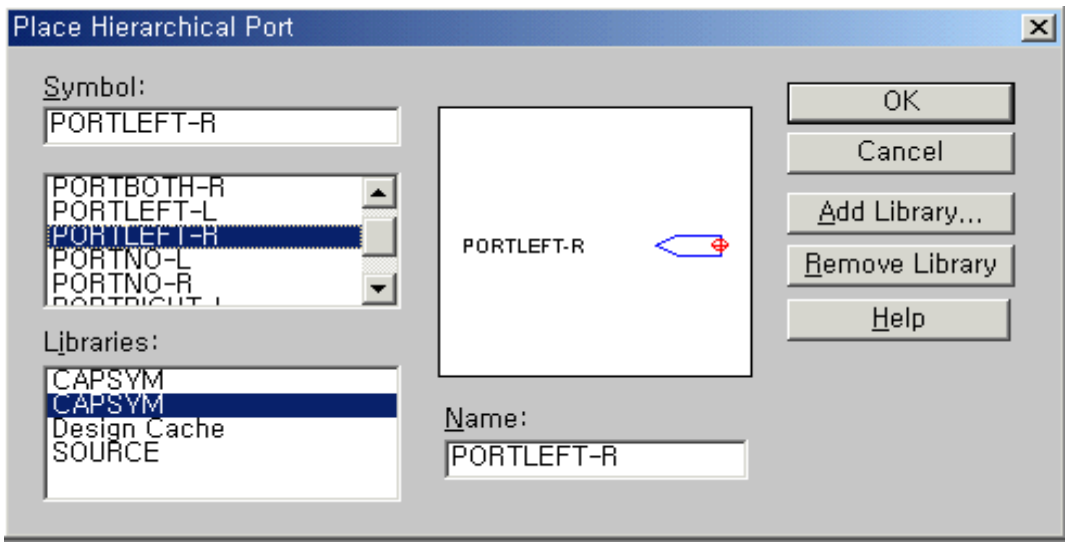
# Place off-page connect




같은 도면 schematic 안에 평면적으로 연결된 도면을 wire나 bus로 연결시 사용되는 connect이다.

- 같은 평면도면으로 구성된 도면에서 off-page connect의 이름이 같으면 그 네트는 연결된 것으로 간주된다.
- Off-page connect와 연결된 네트는 네임을 off-page connect의 네임을 따라가게 된다. 계층구조에서는 도면을 연결할 수 없다.

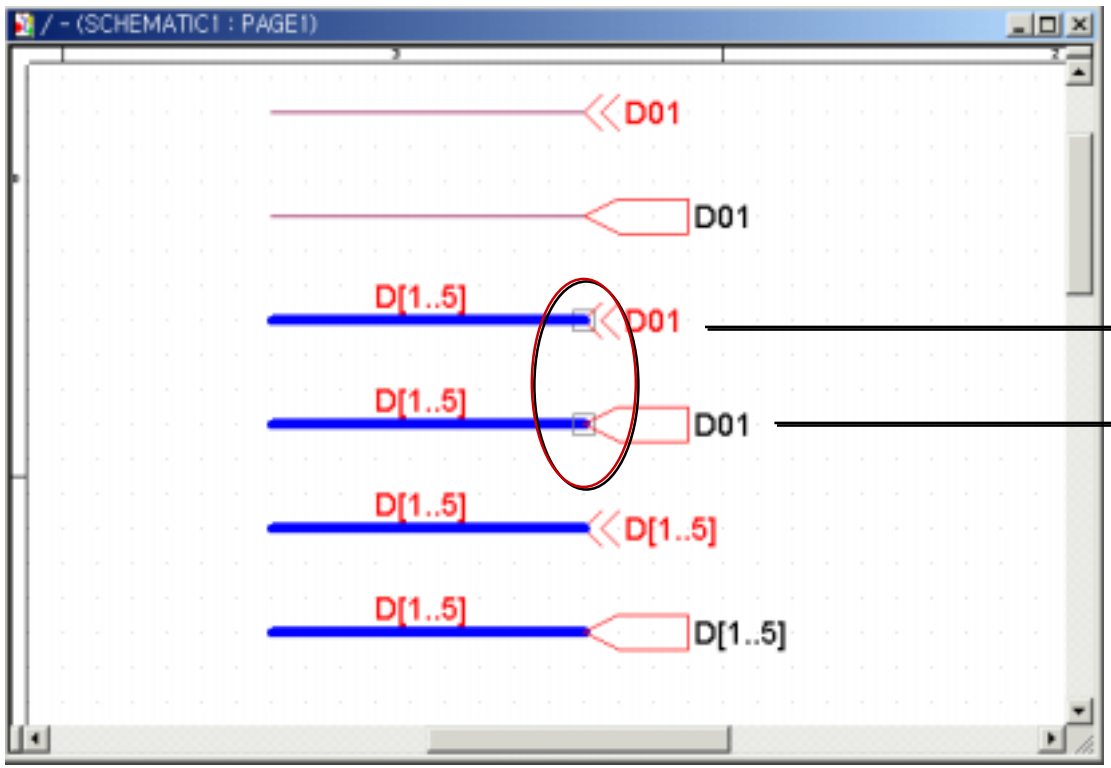
# Place hierarchical Port




- 일반적으로 계층구조를 연결할 때 사용하는 Connect이지만 어떤 구조의 도면에서도 사용할 수 있기 때문에 많이 사용되고 있다.
- Off-page connect 와 는 다르게 port type에 따라 여러 모양으로 나타난다.

➢원하는 타입을 찾아 배치를 하여주면 되고 반드시 서로 연결되는 port들을 같은 타입으로 지정되어야 한다. 예를 들자면 한 쪽 도면에서 output으로 지정되었다고 상대 Port를 input으로 지정 시에는 Error를 유발한다.

# BUS와 Connect, Port의 연결




(O)

(O)

(X)

(X)

(O)

(O)

- 위에 보이는 바와 같이 버스와 연결 시에는 버스 네임이 connect 혹은 Port의 네임을 따라 가지 않으므로 connect나 Port의 네임을 BUS 네임에 맞추어 변경을 해주어야 연결이 된다.

orcad
a Cadence product family

# Capture 의 설계 Flow

1 . Schematic Design -----> *.DSN

2 . Up Date Part Reference (부품 이름 주기)
- Annotate

U? ----------> U1 , U2
R? ----------> R1 , R2

orcad
a Cadence product family

3 . Footprint 지정

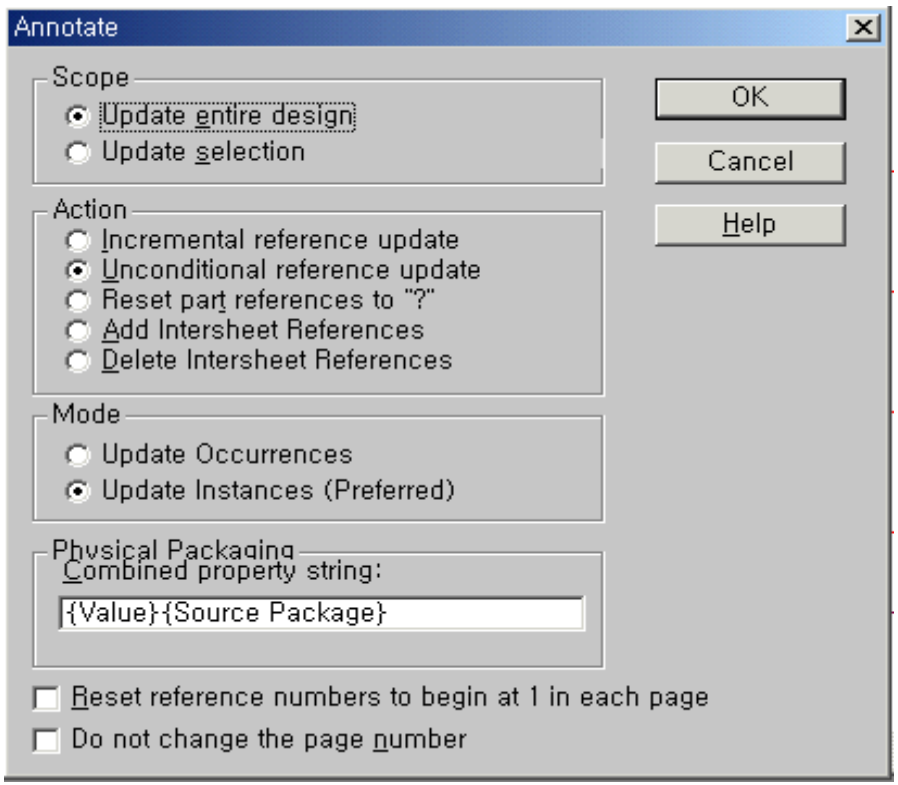
3가지 방법 : 1> 포괄적으로 주는 방법(UPD file 이용)
2> Property Editor(스프레드시트)를 이용하는 방법
3> Layout에서 직접 주는 방법

4 . Design Rules Check ( DRC Check) *.DRC
= ERC Matrix

5 . [Save]

6 . Create Netlist : *.MNL

# Annotate (Up Date Reference 과정)




- 회로도 상의 부품에 일련번호를 자동으로 부여하는 기능으로 일반 부품은 U1, U2 ..., 저항은 R1, R2... 캐패시터는 C1, C2... 등의 번호를 부여하고 그 번호를 Part Reference Name이라 부른다.

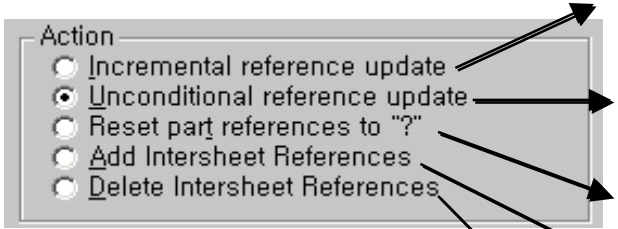
orcad
a Cadence product family

이런 Reference Name을 기입하는 과정을 Annotating, 또는 Update Part Reference 라 하는데 Option menu → Preference → Miscellaneous에 'Auto Reference' 라는 선택 항목이 있어서 부품을 불러올 때 자동으로 Reference Name이 갱신되지만 부품을 Copy할 경우는 갱신되지 않아서, 부품을 선택하고 오른쪽 마우스를 누르면 나타나는 Edit property 창에서 개별적으로 바꿔주기도 한다.
Annotate 창에는 전체 부품의 명칭을 Reset (U?, R?...) 하거나 한꺼번에 갱신시키는 등의 선택 항목이 있다.

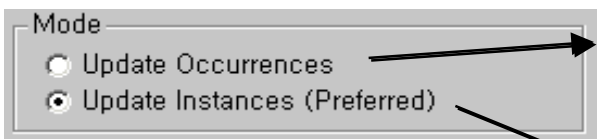
orcad
a Cadence product family


도면 전체적으로 update시 적용

선택 도면만을 update시 적용



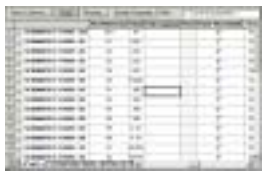

- 기존의 Reference name을 가지고 있는 것 외 초기화(? Mark) 되어있는 것 만을 update.
- 기존의 Reference name을 가지고 있는 것을 무시하고 처음부터 갱신.
- 모든 Reference name을 초기화
- 평면 도면을 연결하고 있는 off-page connector 주위에 연결된 페이지 넘버를 표시.
- Intersheet Reference를 삭제.




- Reference update시 부품을 물리적으로 판단 Reference Update. 계층구조로 설계된 도면에서 적용.
- 부품을 논리적으로 판단 Reference update. PSpice,단면 혹은 평면구조에서 적용.

# Footprint 적용 방법 (3가지 방법)

## 1. *.UPD file 적용 (메모장을 이용한 적용방법)



SCH1.upd - 메모장

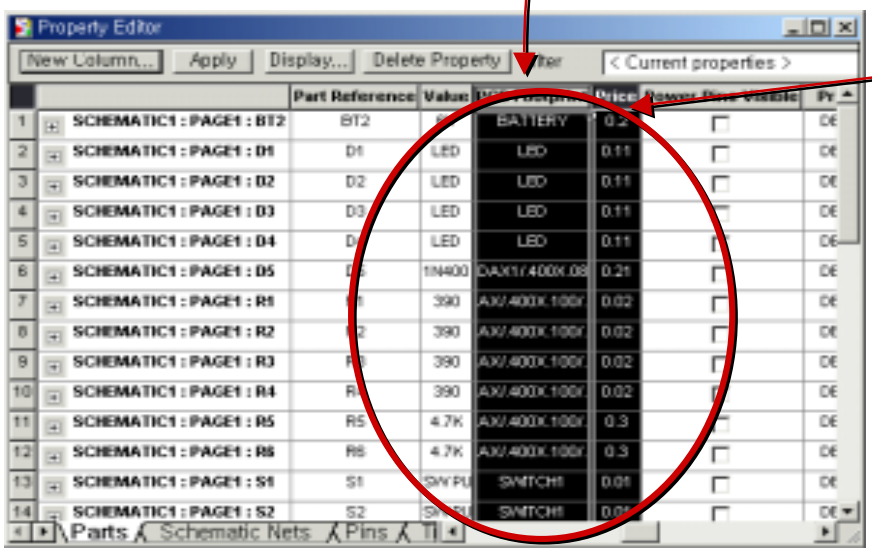
파일(F) 편집(E) 서식(O) 도움말(H)

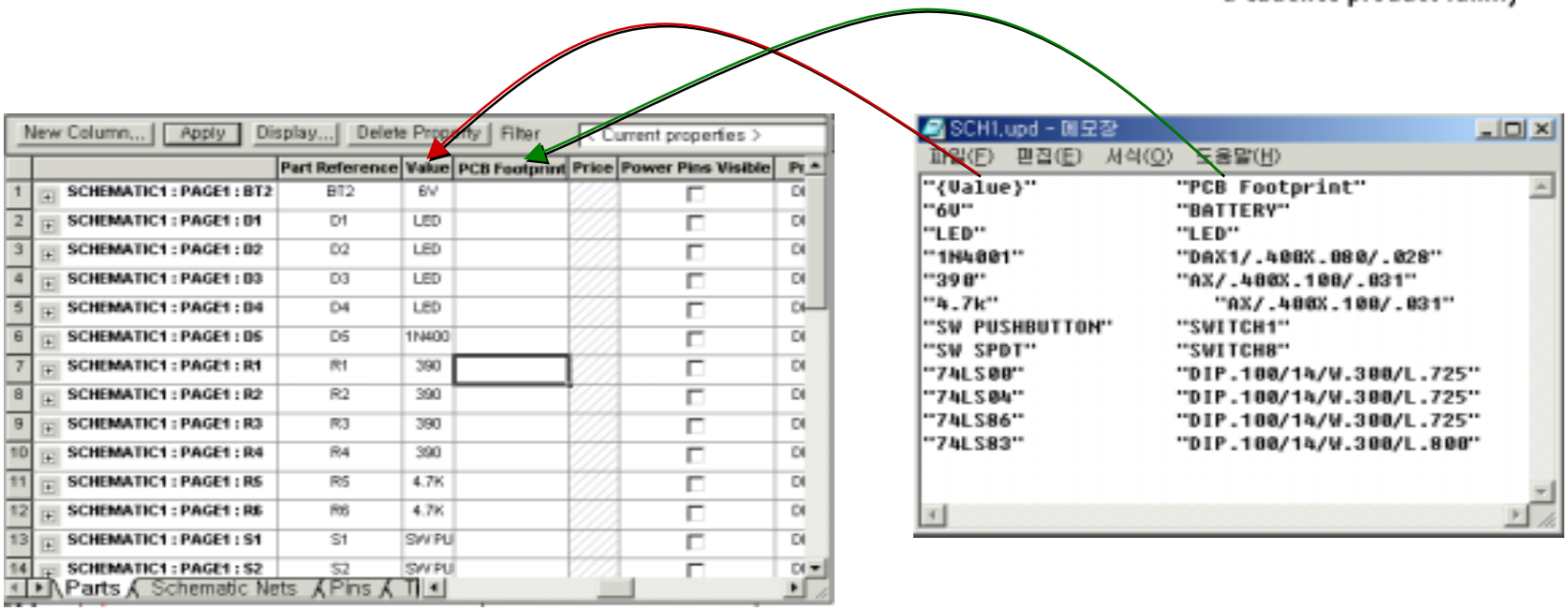
| | |
|---|---|
| "{Value}" | "PCB Footprint" |
| "6V" | "BATTERY" |
| "LED" | "LED" |
| "1N4001" | "DAX1/.400X.080/.028" |
| "390" | "AX/.400X.100/.031" |
| "4.7k" | "AX/.400X.100/.031" |
| "SW PUSHBUTTON" | "SWITCH1" |
| "SW SPDT" | "SWITCH8" |
| "74LS00" | "DIP.100/1%/W.300/L.725" |
| "74LS04" | "DIP.100/1%/W.300/L.725" |
| "74LS86" | "DIP.100/1%/W.300/L.725" |
| "74LS83" | "DIP.100/1%/W.300/L.800" |

SCH1a.upd - 메모장

파일(F) 편집(E) 서식(O) 도움말(H)

| | |
|---|---|
| "{Value}" | "Price" |
| "6V" | "0.2" |
| "LED" | "0.11" |
| "1N4001" | "0.21" |
| "390" | "0.02" |
| "4.7k" | "0.3" |
| "SW PUSHBUTTON" | "0.01" |
| "SW SPDT" | "0.02" |
| "74LS00" | "0.3" |
| "74LS04" | "0.3" |
| "74LS86" | "0.3" |
| "74LS83" | "0.3" |

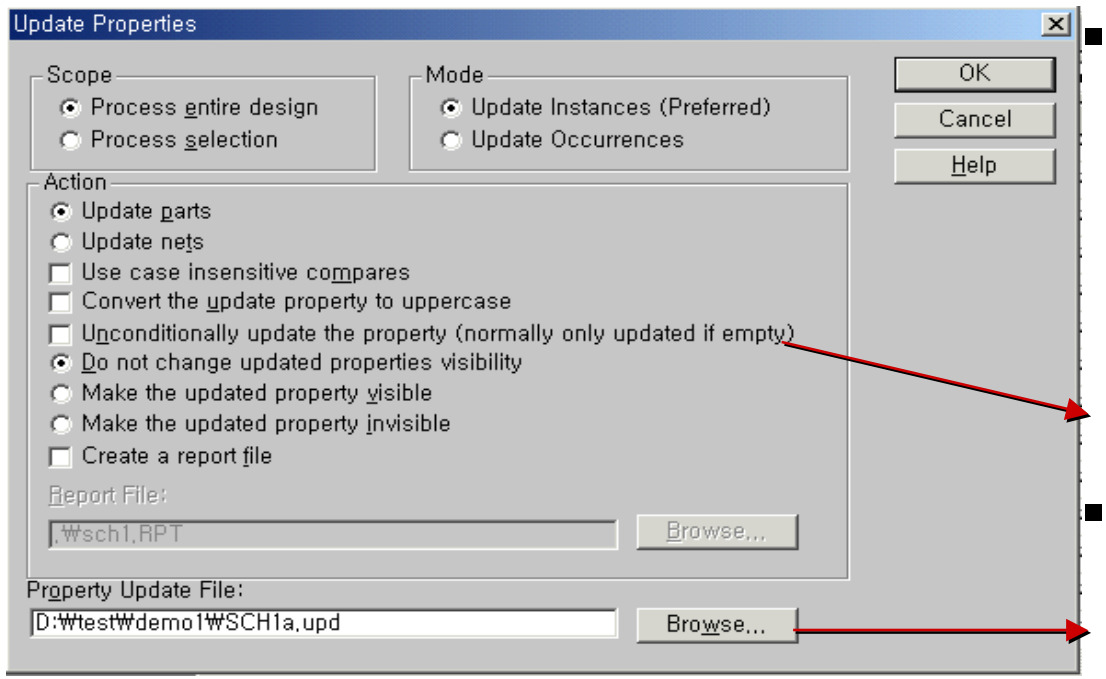





- UPD file의 왼쪽에는 속성(Value)값을 넣고 오른쪽에는 target이 되는 PCB Footprint의 Name값을 넣는다.

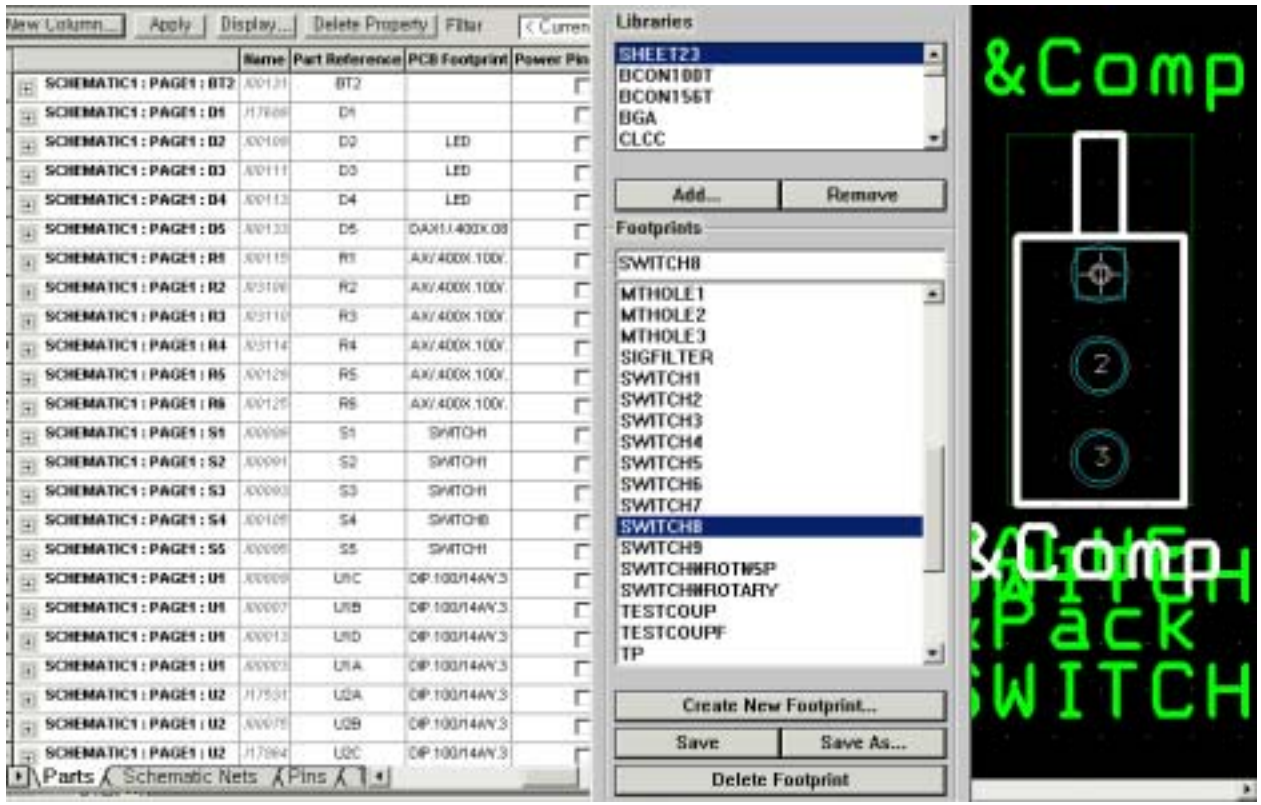
- 왼쪽 항목에서는 중복되는 값이 있어서는 안 된다.

# *.UPD file 적용 방법 (Tools → Update Properties)




- 속성을 Update할 시에 기존에 속성 값을 가지고 있는 것은 그냥 두고 속성난이 비워있는 것만 update한다.
- 기존의 속성값을 무시하고 새로운 값을 적용시킨다.
- Update 할 내용의 파일 경로를 적어준다.

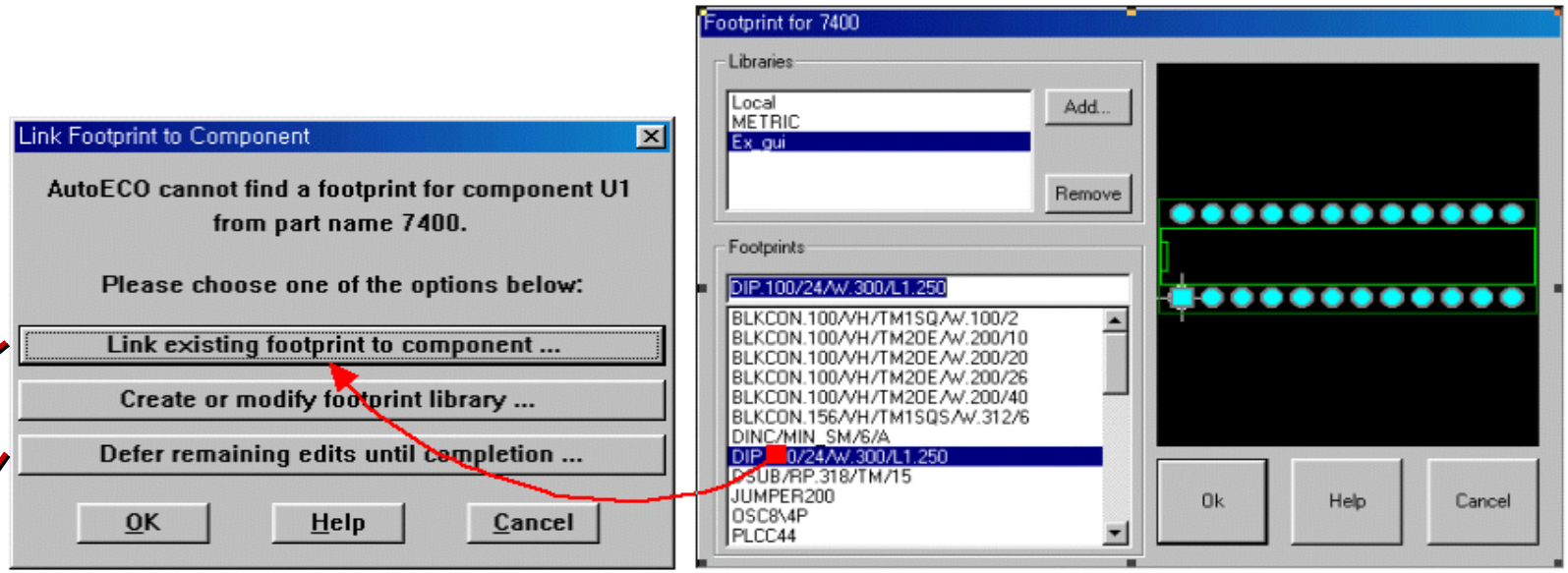
# 2. Property Editor(스프레드시트) 창에서 입력




Layout 프로그램의 Tools → Library Manager 이용

orcad
a Cadence product family

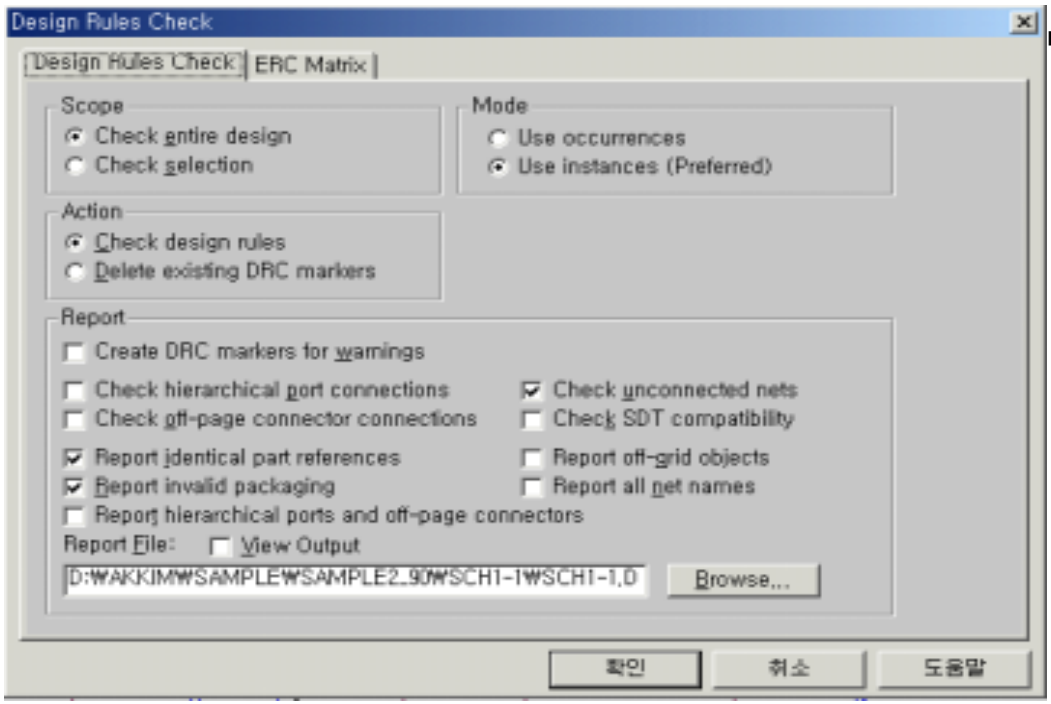
# 3. Layout에서 적접 설정




- 작업을 중단한다.
- 새로운 Library를 즉석에서 만들어 준다.
- 작은 Library viewer창을 불러와 Footprint를 연결하여 준다.

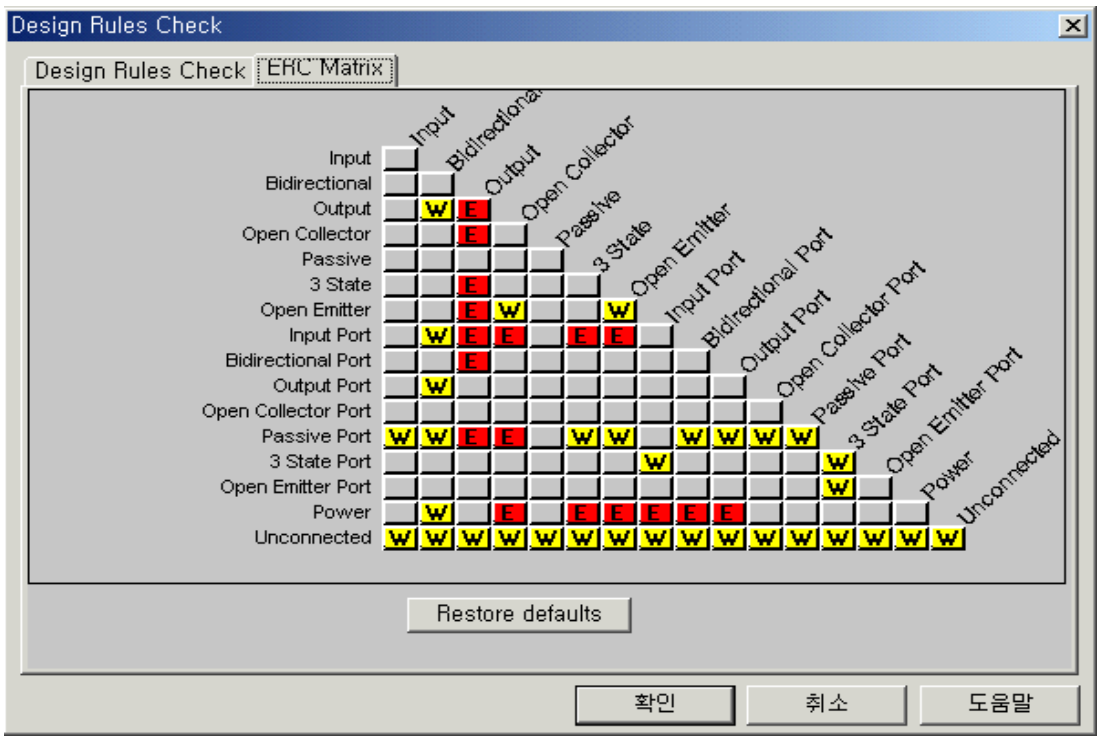
orcad
a Cadence product family

# Design Rule Check 과정



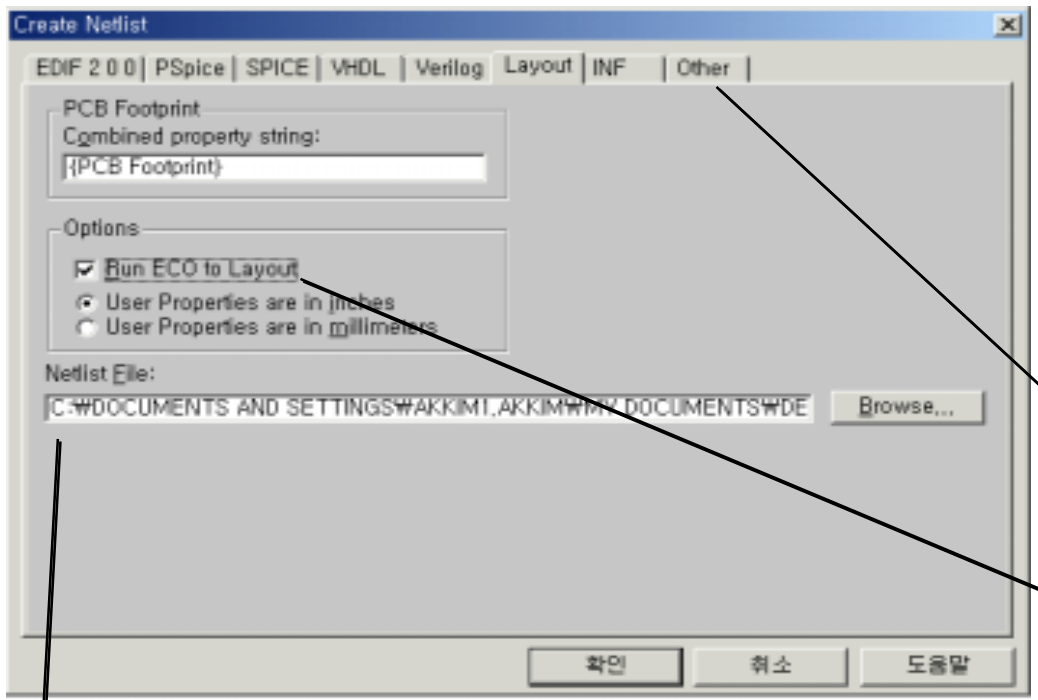

- 회로도면 완성후 회로의 전기적 속성의 충돌 여부나 미연결된 배선 등의 Error Check 기능을 갖고 있으며, Electronic CAD의 가장 큰 장점이기도 한 과정이다.

# ERC matric



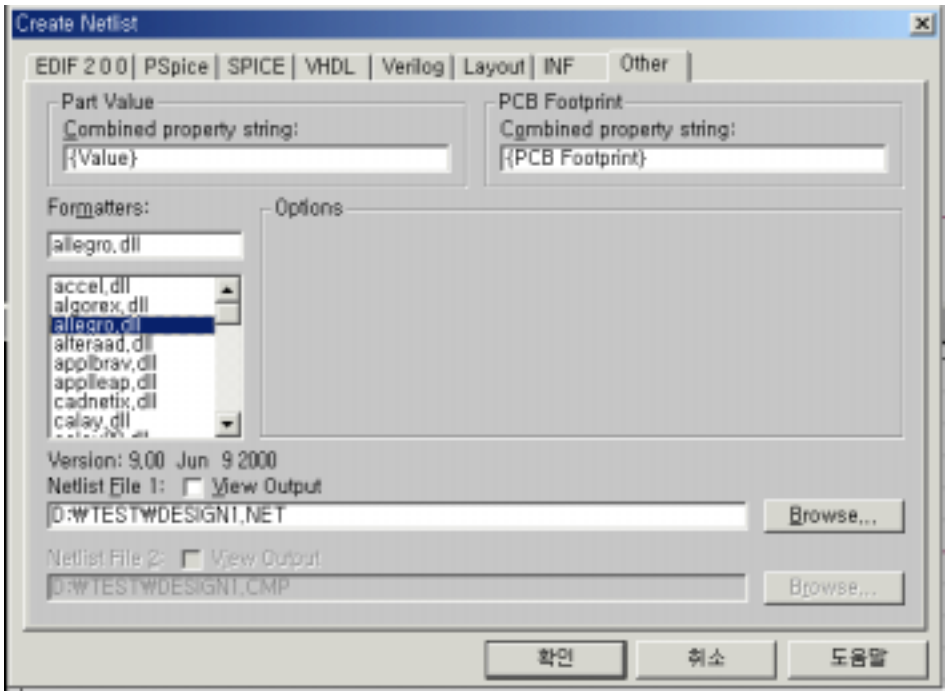

- pin과 port의 속성들 (input, output, power, bidirectional...)이 유기적으로 연결되어 있는데 이에 대한 전반적인 전기적 속성 검사를 ERC matrix에 의해서 진행하며, 사용자가 속성에 대한 검사기준을 설정할 수 있다.

# Create Netlist 과정




- Capture program을 사용하는 주요 목적중의 하나인 이 과정은 회로도에 구성되어 있는 부품간의 선 연결정보를 지니는 Netlist file의 생성이다.
- 상단의 Tap key를 이용하여 사용할 tool에 맞게 Netlist를 생성시킬 수 있다.
- Capture의 Net정보가 변경될 시 자동으로 Layout에서 감지 작업중인 보드상에서 Net 혹은 component를 추가한다.

▪Netlist 생성 경로, 존재하지 않는 경로로 지정될 시 파일이 생성 안됨.




Create Netlist 창을 보면 여러가지 format의 netlist 형태를 지원하고 있으며 Layout을 지원하는 netlist 형태는 *.MNL 이라는 확장자를 갖는다. 그 외에 30여가지 이상의 netlist format을 지원한다.

각각의 Netlist format은 아래와 같다.

**EDIF** - Electric Data Interface Format
**Spice** - Simulation Program with Intergrated Circuit Emphasis
**VHDL** - Very high speed Hardware Description Language
**Verilog** - Verilog-Hardware Description Language
**Other** – Mentor(mentor.dll), Cadstar(racalred.dll, rinf.dll), Pads(pad2k.dll, padspcb.dll), Pcad(pcad.dll), Protel(protel2.dll),...

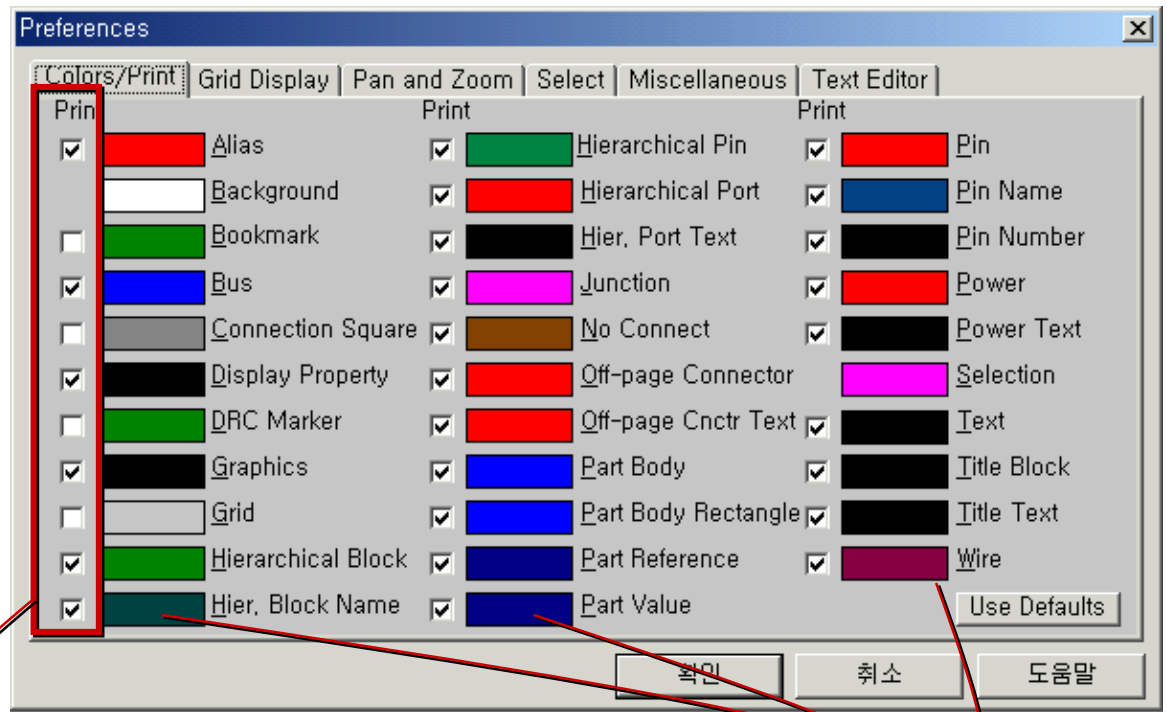
orcad
a Cadence product family

# 7. 설계 환경 설정 ( Option )

- Preference - 전체적 환경의 설정
  ( Color, Print, Grid, Zoom factor, Auto Reference, Box fill Style … )
- Design template - 새로운 설계의 설정
- Schematic Page Properties - 개별회로도면의 기본설정
  ( Schematic Size, Grid Reference)

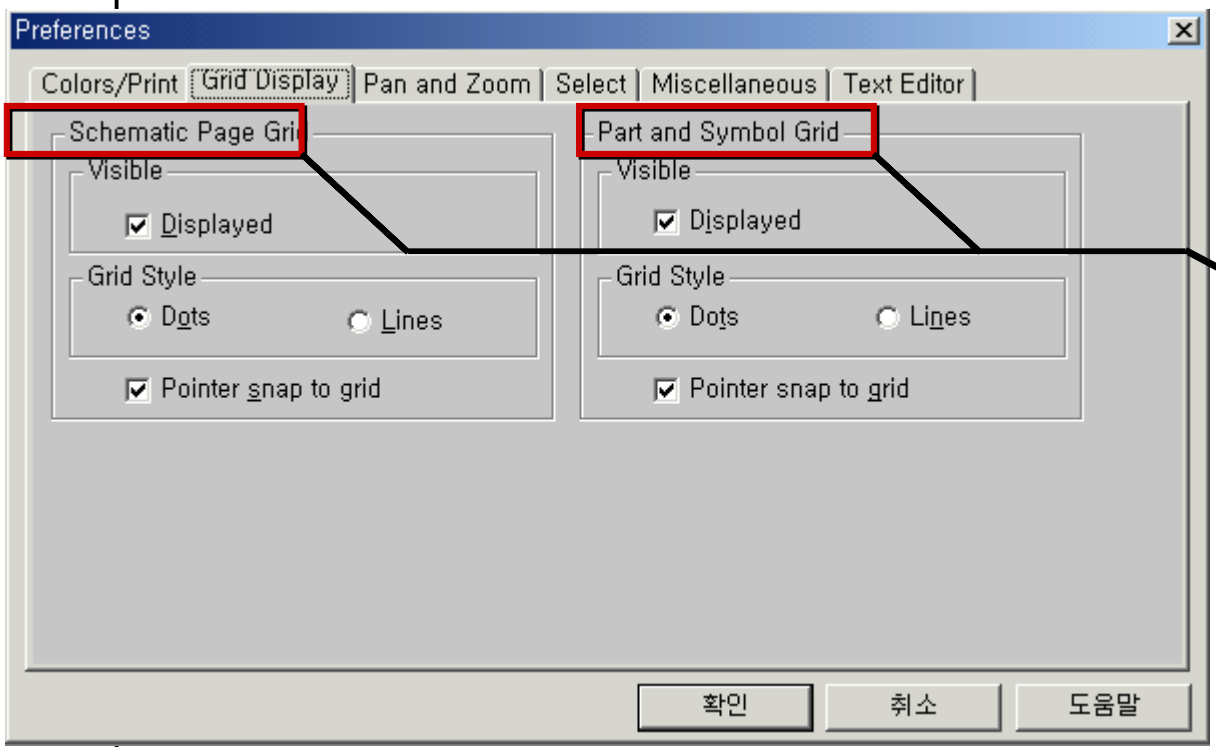
# Preference

## Color/print




- Print 여부를 결정.
- 디스플레이 색을 결정.

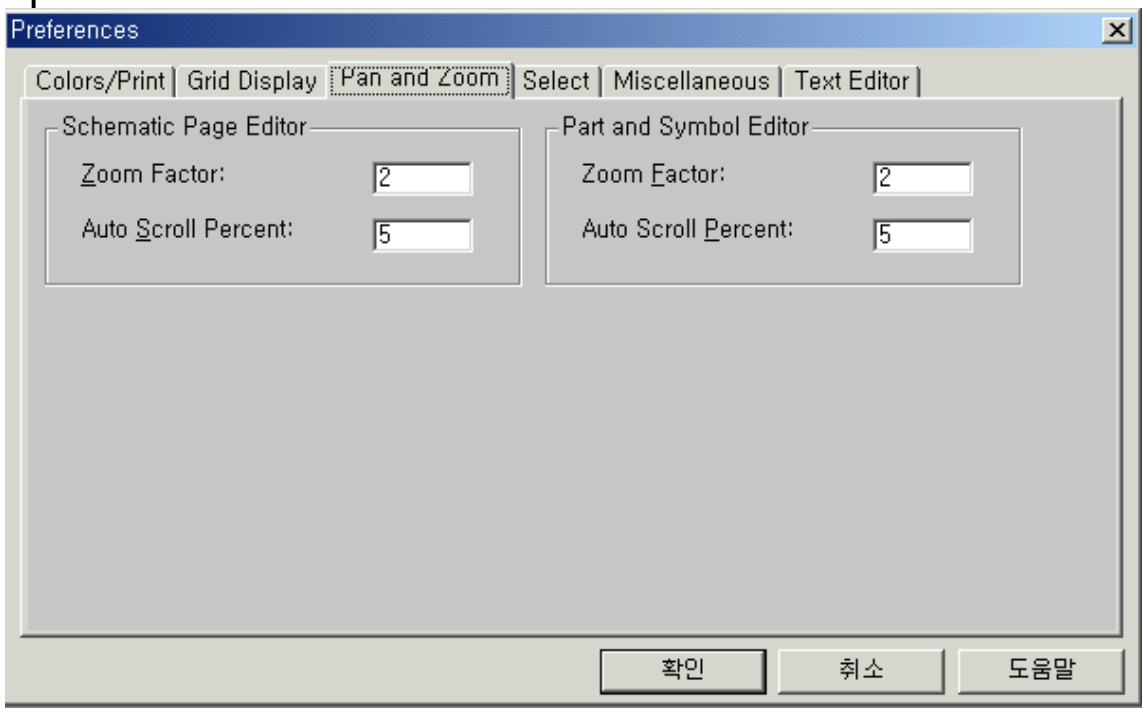
# Grid display




- Grid의 표시 여부, Grid 타입을 결정
- 적용 영역을 결정

- displayed 항목 : schematic 혹은 part edit window 에서의 grid를 표시.
- grid style : grid를 라인으로 하는지 혹은 도트(점)로 하는지 결정.
- pointer snap to grid : 그리드에 딱 맞게 부품을 고정시킬 수 있다.

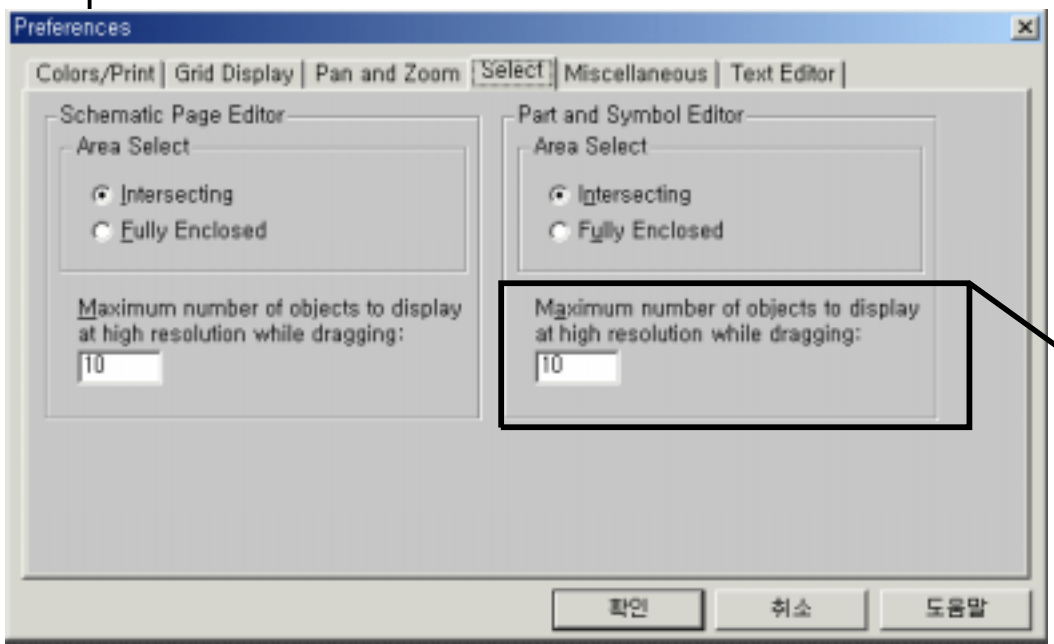
# Pan and zoom




- 확대와 축소 시 배율값 조정
- 객체를 선택하여 drag 시 자동 스크롤의 배율 값 조정

orcad
a Cadence product family

# Select

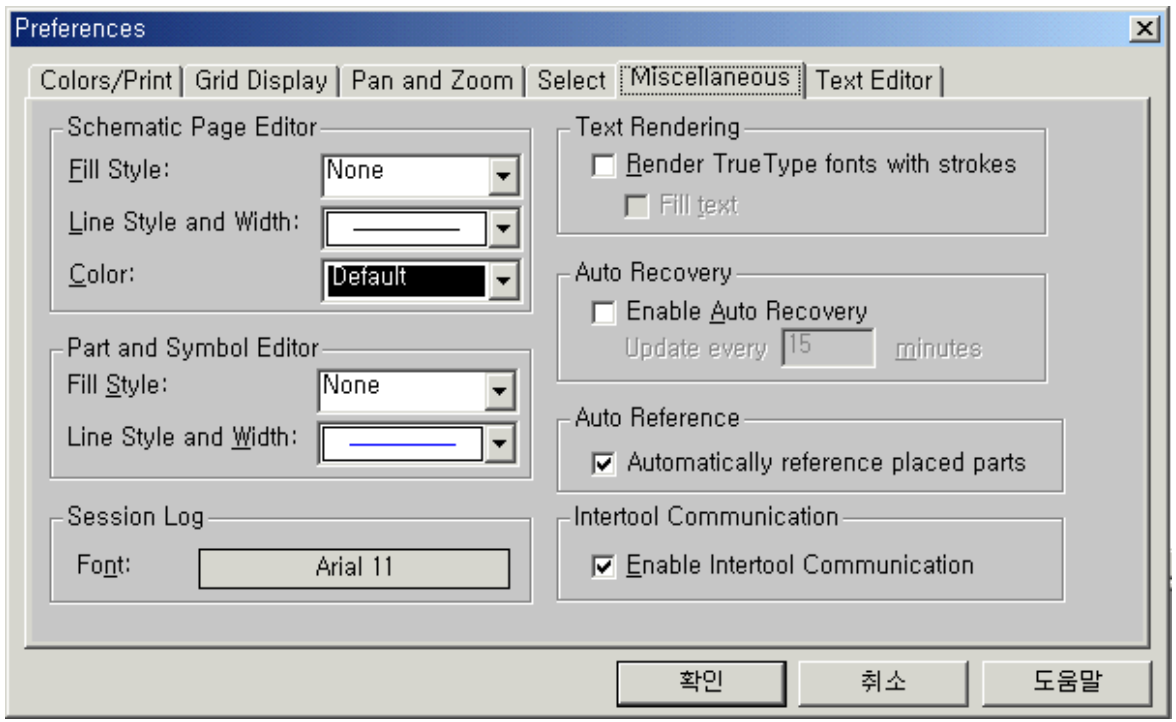



- 객체를 drag하여 선택 시 drag박스에 객체가 박스 안에 모두 들어가는지의 여부에 따라 선택
- 여러 개의 객체를 선택하여 drag시 객체의 외각선을 정확하게 표시하여 주는 개수를 정의

orcad
a Cadence product family

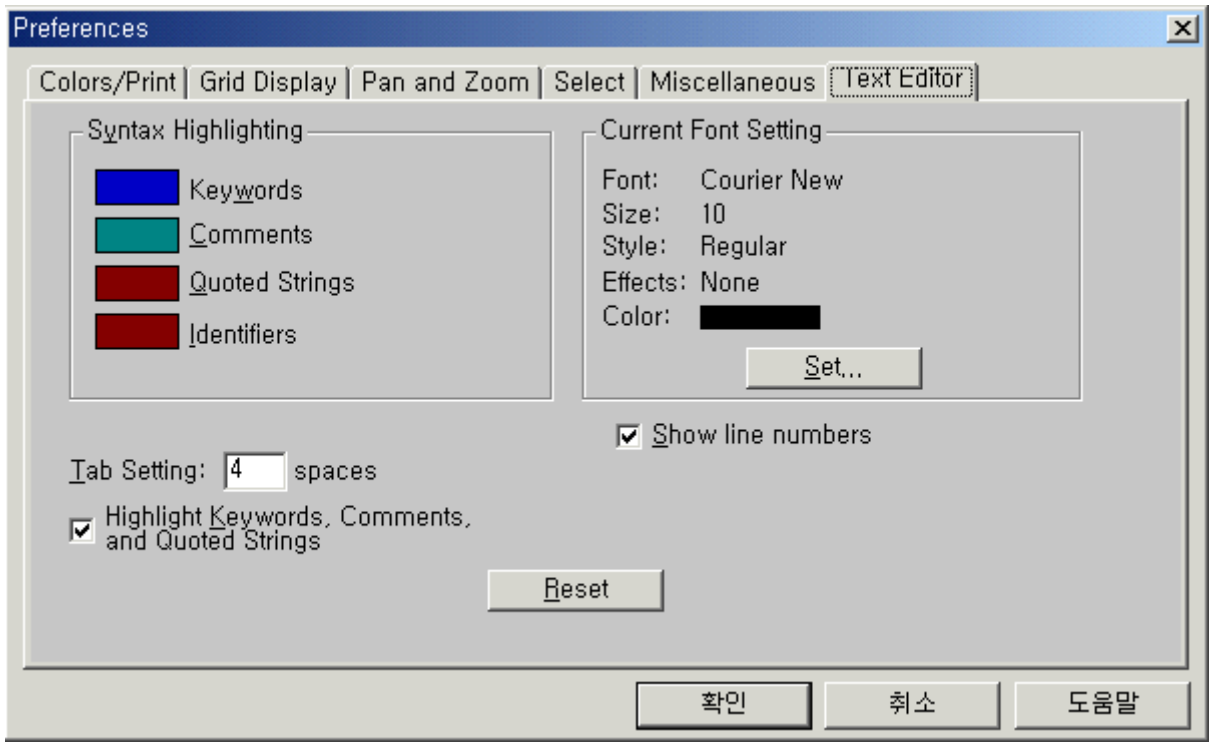
# Miscellaneous

- 박스나 원을 그릴 시에 fill(채우기) style를 설정.
- Session log 창에서 사용될 font를 지정.
- Text Rendering - Text 를 표현 시 외각선 만을 표시 할 것인지의 여부.
- Auto Recovery - 설정 시간에 맞추어 자동 저장 기능.




- Auto Reference – 부품을 배치 시 자동으로 Reference name이 생성
- Intertool Communication – Layout과의 cross probing기능 제공

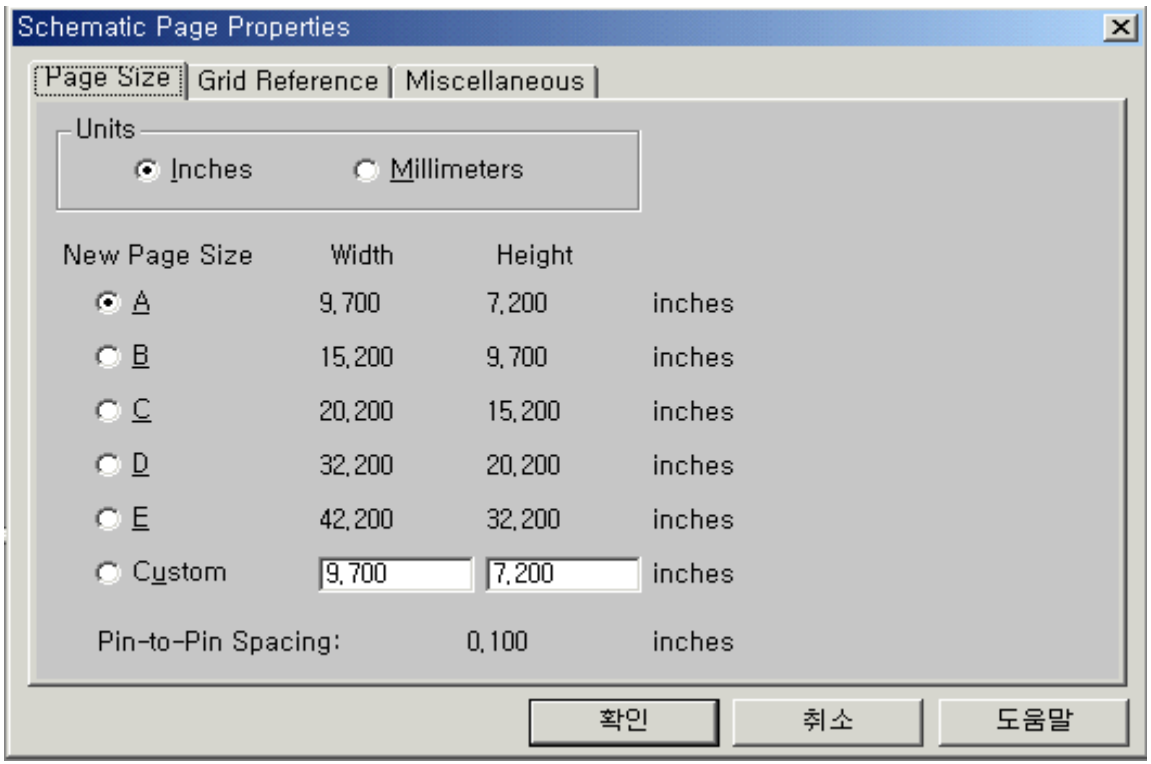
# Text Editor




- 도면 상에서 사용 할 font 설정

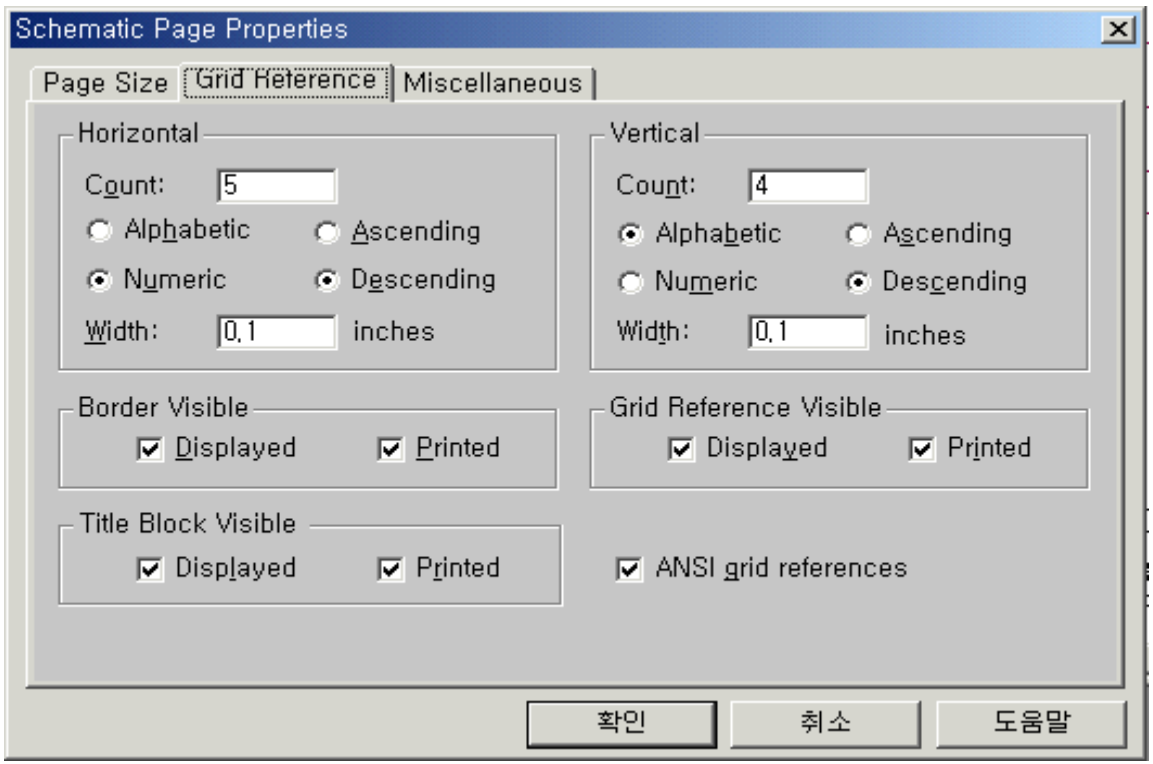
# Schematic page properties

## Page size



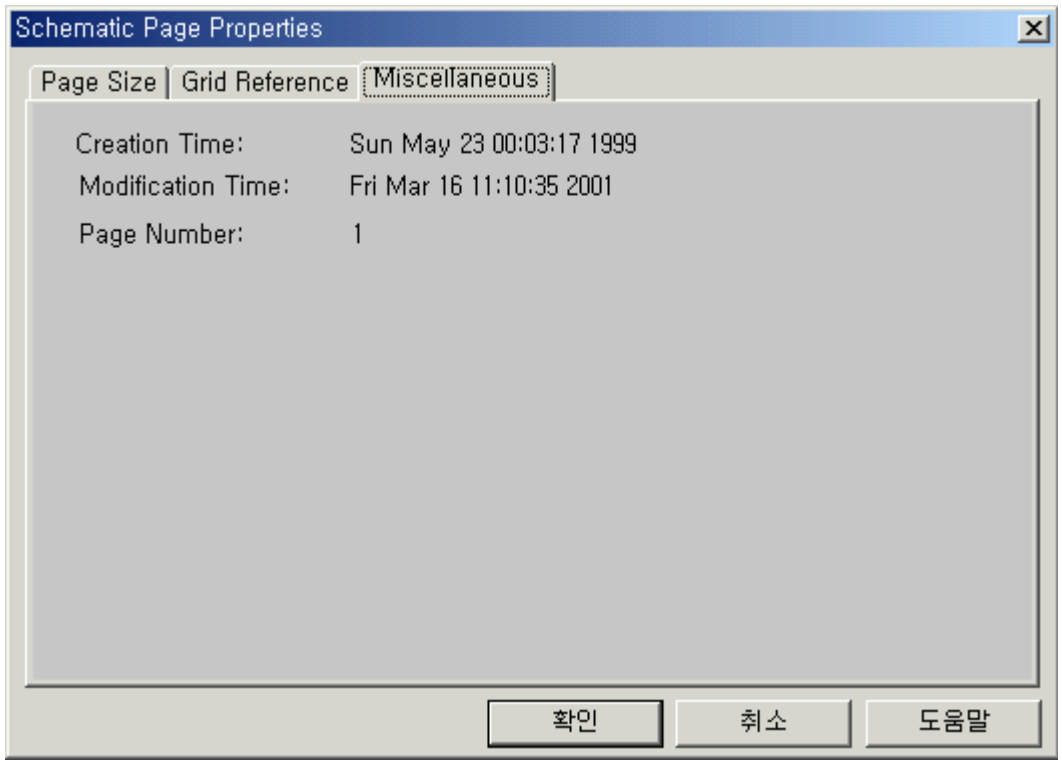

- 현 도면 상에서 사용할 Unit과 Page size 크기를 설정

# Grid Reference




- Grid reference의 개수와 표현 문자와 올림차순으로 표현할 것인지 내림차순으로 할 것인지를 설정
- Boarder와 title block의 디스플레이, print의 여부를 설정
- Width를 0(zero)로 설정하면 Grid reference가 사라진다.

# Miscellaneous

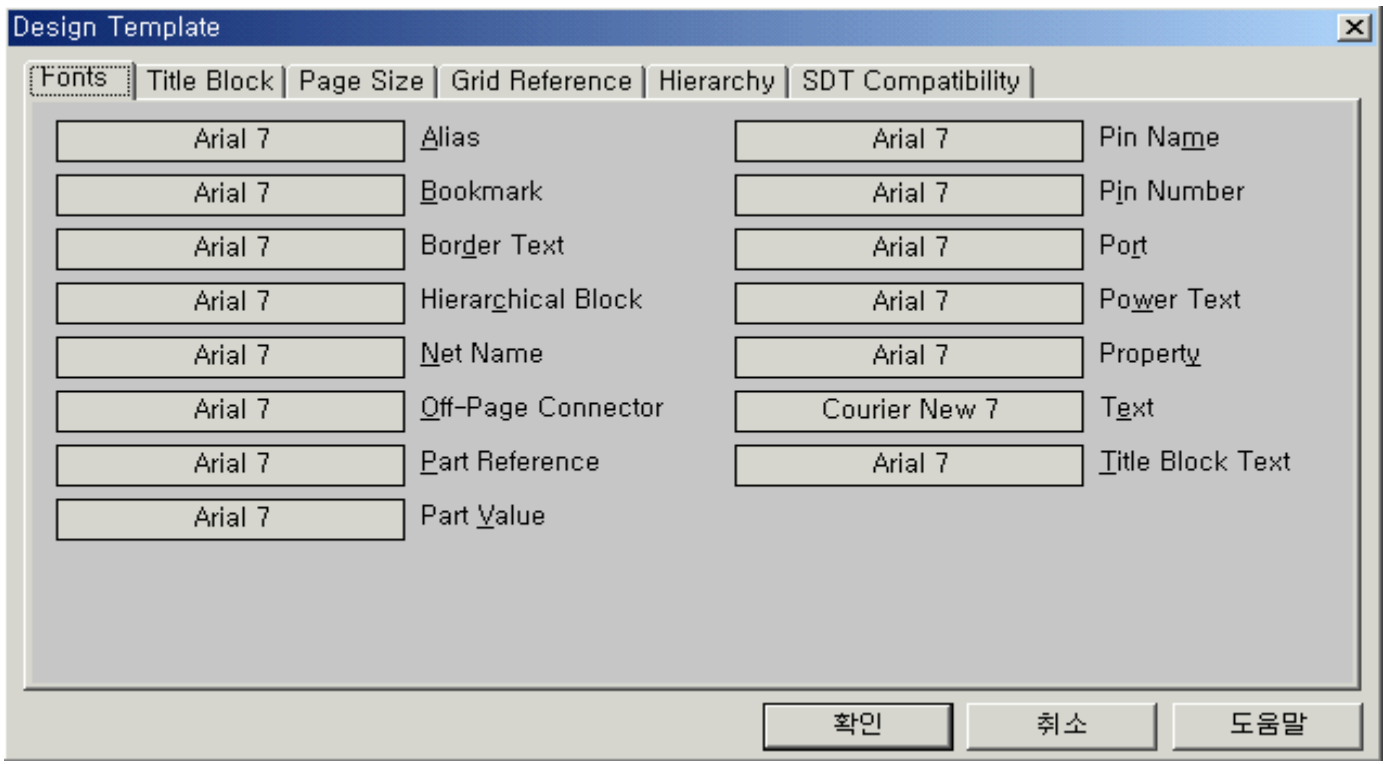



- 도면의 간단한 정보를 나타낸다.

# Design Template

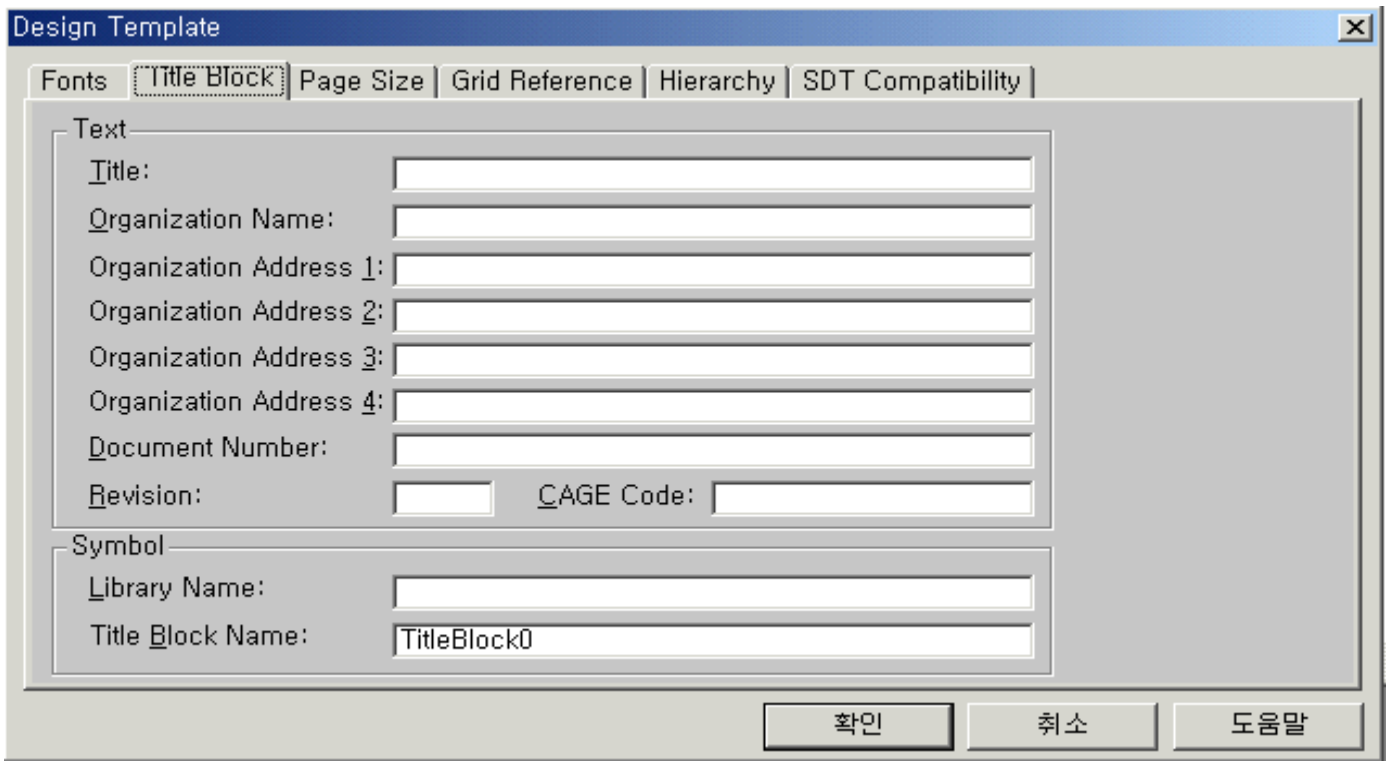
**Fonts**

▪ 새로운 Page를 시작할 때의 setting 값을 설정.



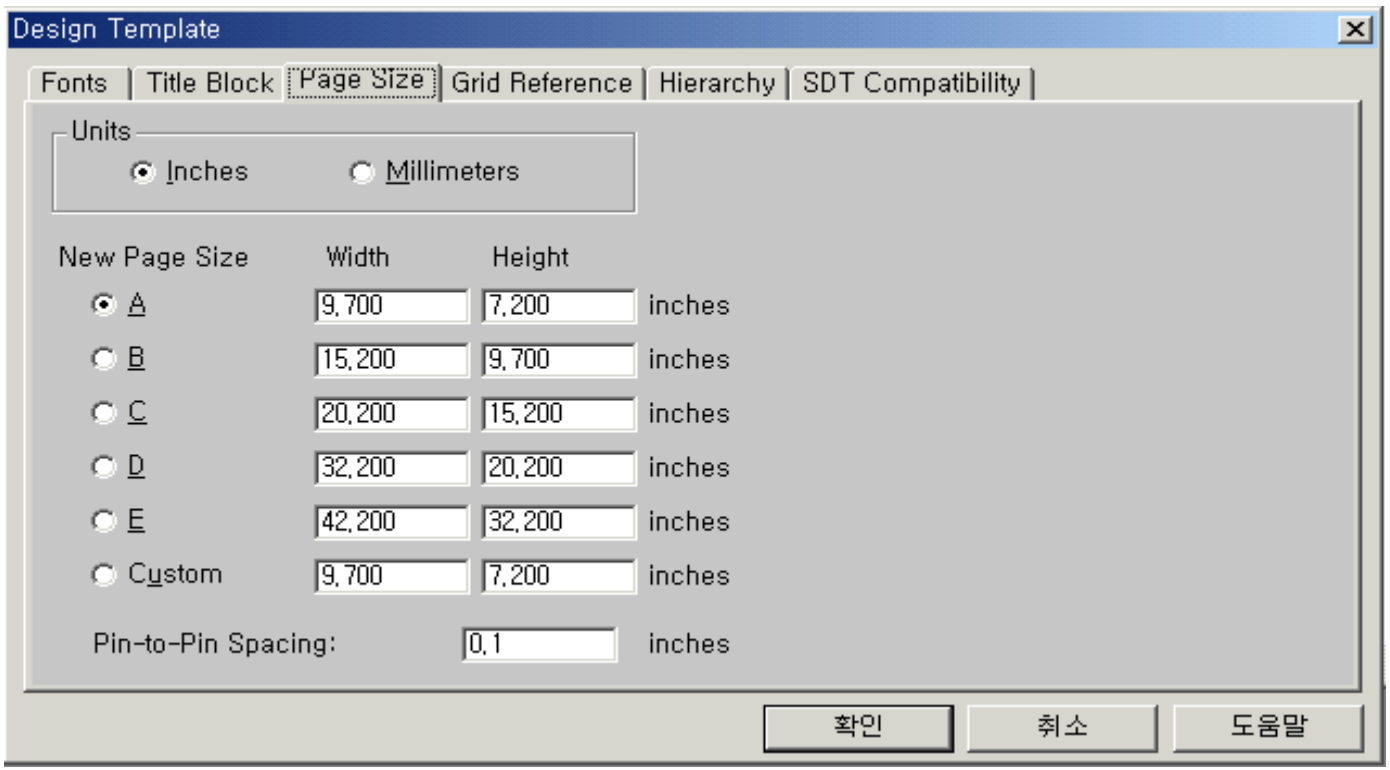

▪Schematic 도면에서 사용할 text의 type에 따라 text font를 설정.

# Title Block



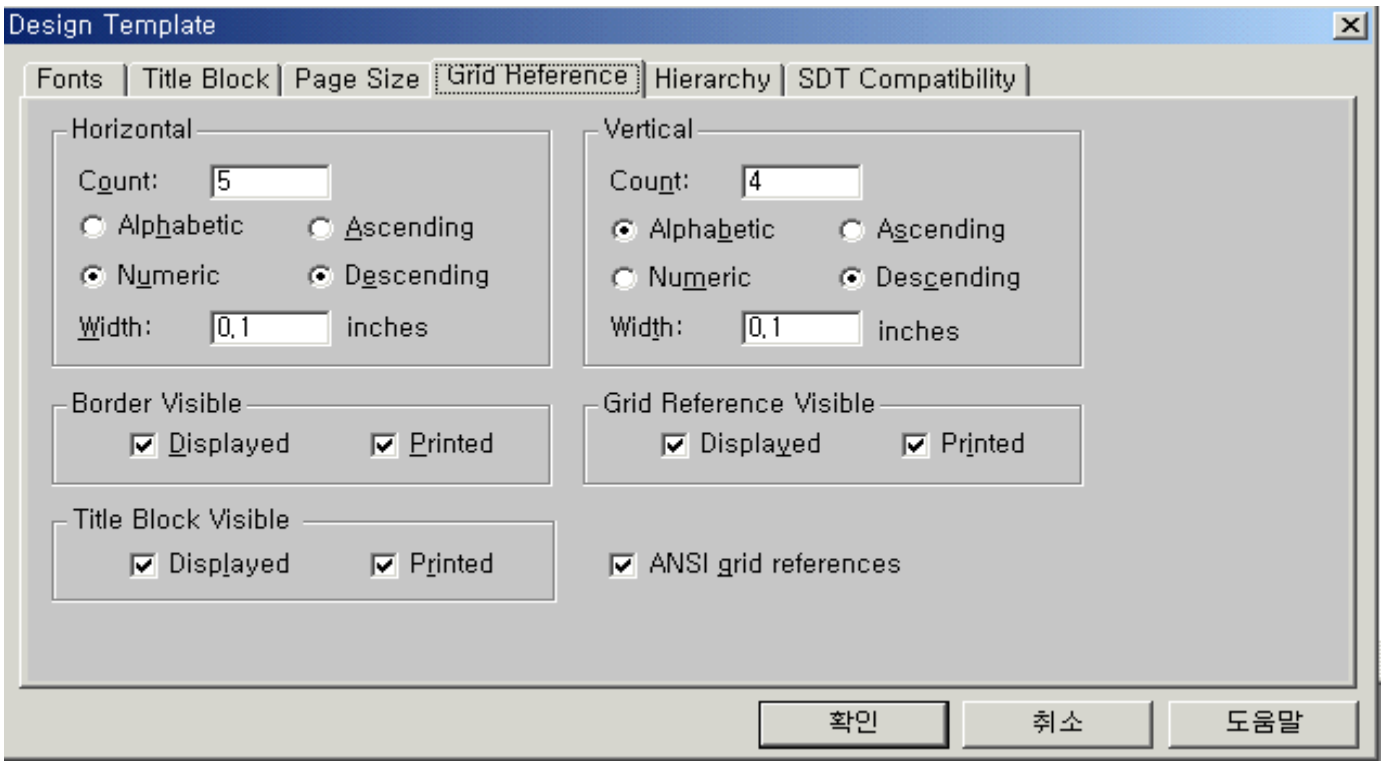

- 새로운 Page 를 시작할 때에 지정된 title block이 배치되고 이 창에서 기입한 값이 그 Title block에 자동으로 기입된다.

# Page size



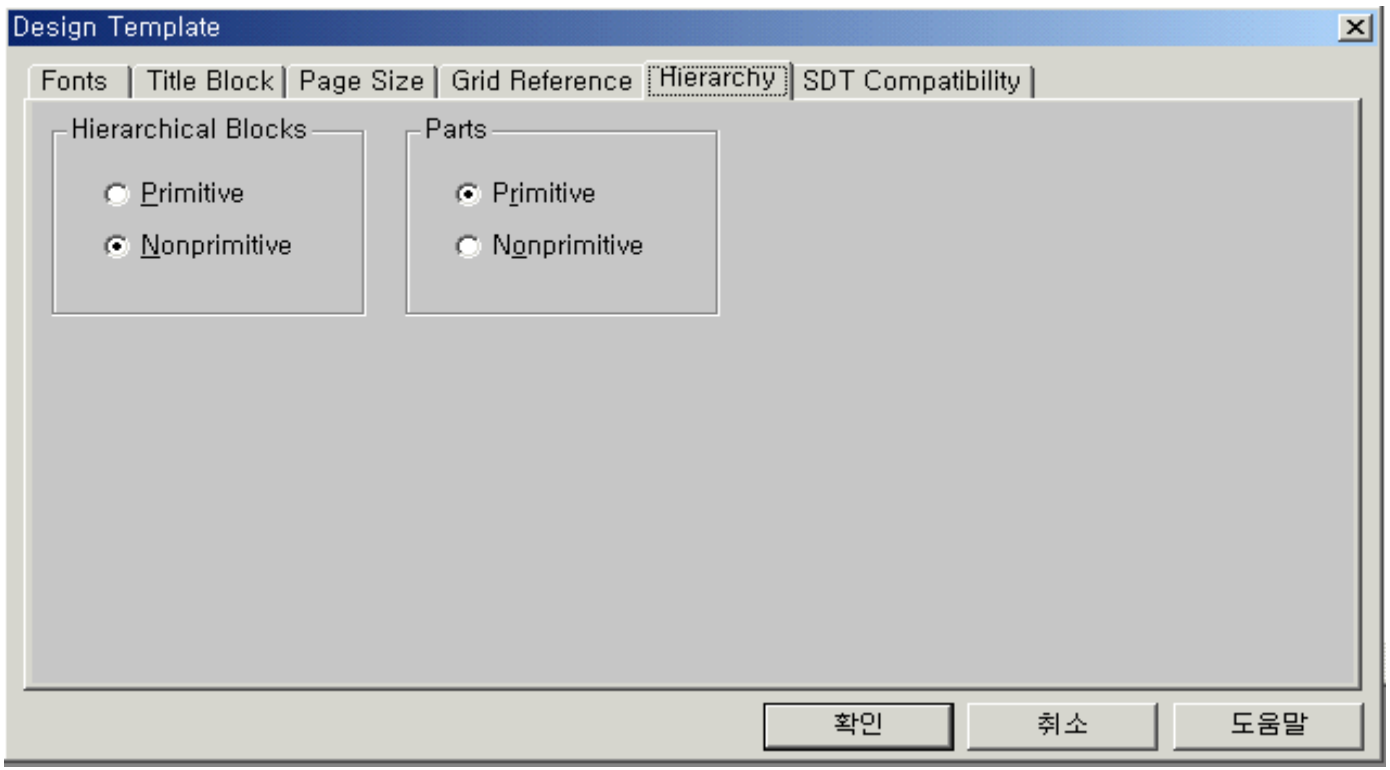

- 새로이 생성시킬 Page 의 Page size이다.

# Grid Reference

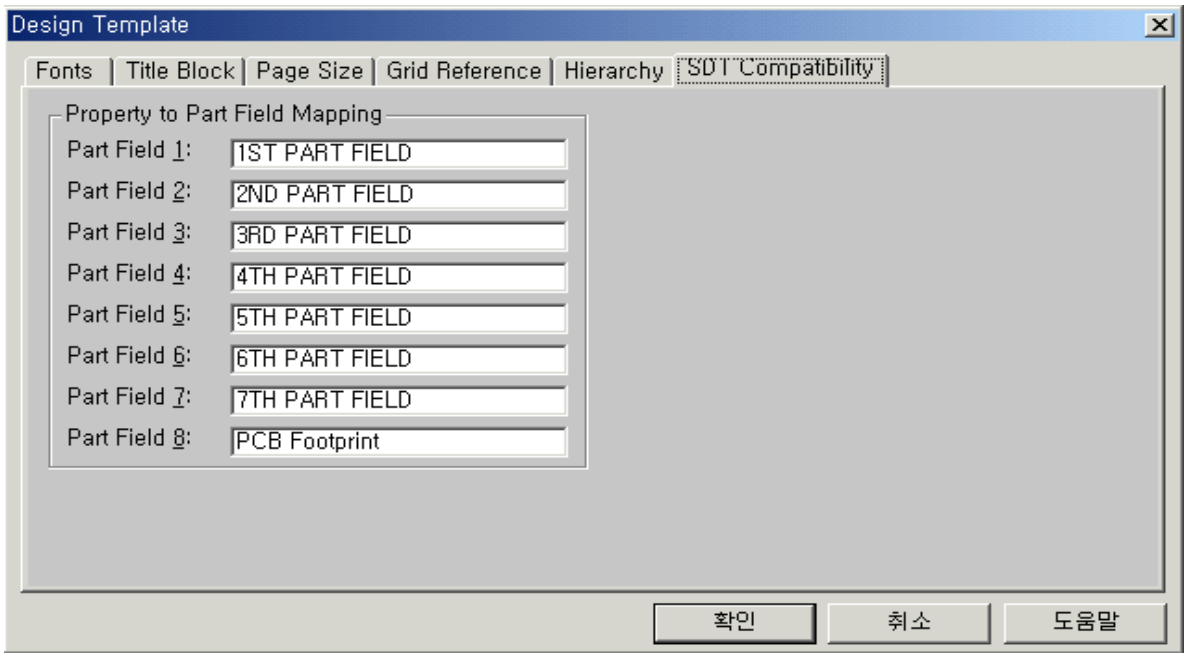



- 새로운 Page에 적용될 Grid reference값을 설정한다.

# Hierarchy


Design Template
Fonts
Title Block
Page Size
Grid Reference
Hierarchy
SDT Compatibility
Hierarchical Blocks
Primitive
Nonprimitive
Parts
Primitive
Nonprimitive
확인
취소
도움말

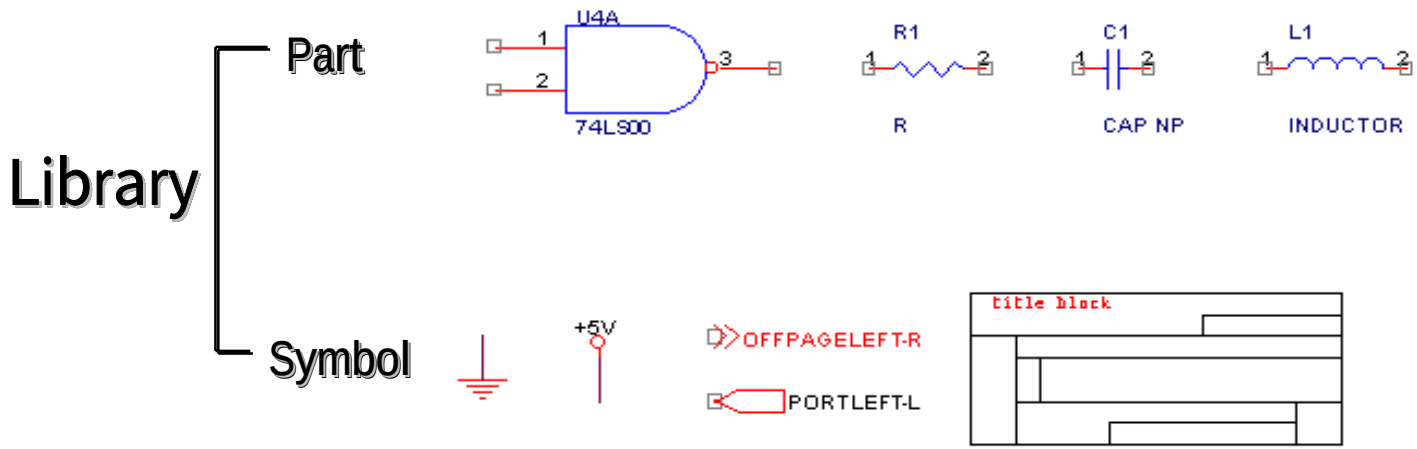
# SDT compatibility




**Capture를 Dos에서 Window버전 혹은 Window 버전을 Dos버전으로 conversion할 시 속성 table의 matching항목 지정**

# Schematic Library 생성

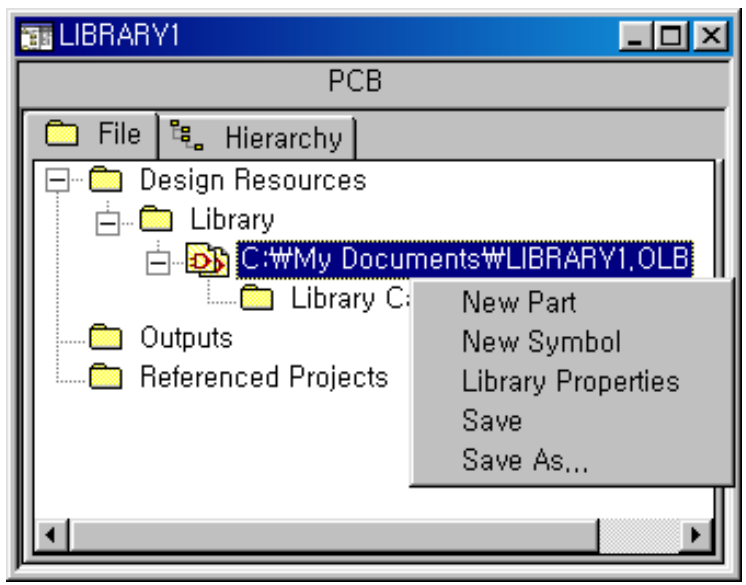
OrCAD Capture for Windows는 Library 개수를 약 44,000개 정도 내장하고 있고 사용자가 원하는 library가 없는 경우에 이를 디자인할 수 있다.
부품에는 크게 Part와 Symbol로 나누어져 있다.



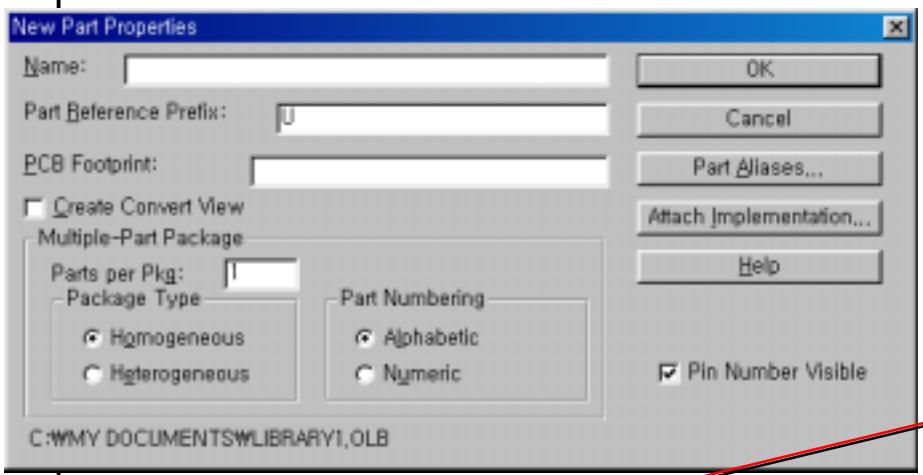
orcad
a Cadence product family

## ▪Part Library Design

New part library를 생성하려면 메뉴바의 File → New → Library를 선택하면 되고, Program에서 제공하는 Library를 불러오려면 File → Open → Library를 선택하면 된다. 여기서는 New Library를 실행한다.




그러면 Project manager 창에 기본적으로 "Library1.olb" 경로가 나타나는 폴더가 생성된다.
그 경로가 나타나는 폴더를 활성화 한 후 오른쪽 마우스를 누른 다음 New Part 항목을 선택하거나, 메뉴바의 design menu에서 pop up menu에 있는 new part와 new symbol 중에서 new part를 선택한다.




이때 New Part properties 대화상자가 나타난다. 여기서는 Name에 부품의 이름을 기입하고 부품의 해당 속성을 적어준다.

**Part Reference Prefix :** 부품을 불러올 때 Reference name 앞에 자동으로 붙는 이름으로 부품의 type을 나타낸다.
일반적으로, Gate type – U, Register type - R, Condenser type - C...등과 같이 기입하면 된다.

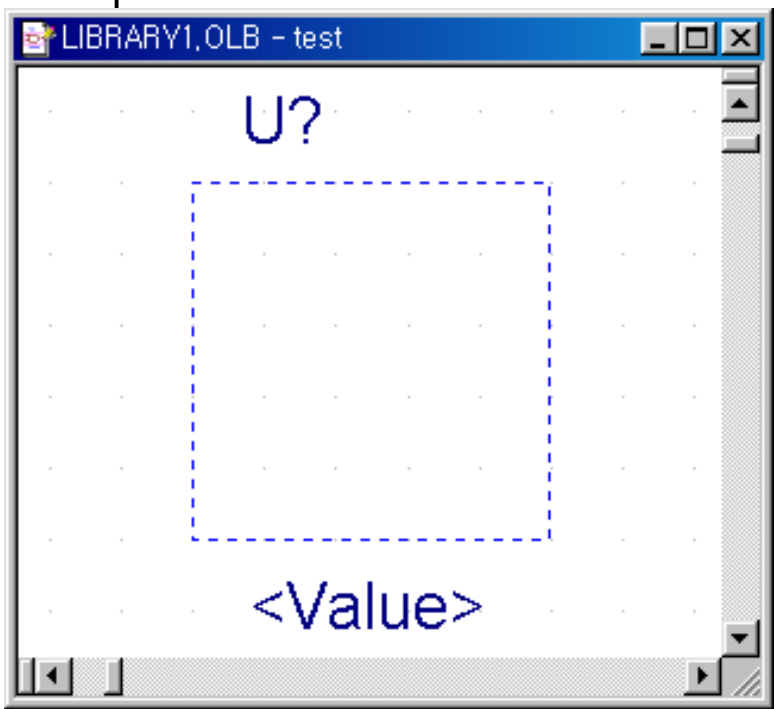
**PCB FootPrint :** 해당 부품의 Footprint를 지정하는 창으로 New Part Properties 대화상자에서 지금 디자인할 library가 향후 특정한 Footprint로 사용할 경우 PCB Footprint를 기입한다.

orcad
a Cadence product family

**Create Convert View** : 상반되는 부품을 만들 때 사용하는 선택 항목으로 부품을 만들고 menu bar –View –convert를 선택하면 바로 만들 수 있게 된다.

**Multiple Part Package** : 여기서는 Gate가 여러 개 존재하는 Package type Library를 생성할 경우 Part per Package 개수를 기입하고, Gate 모양이 모두 같은 Library일 때는 Homogeneous, 각각 다른 경우는 Heterogeneous를 지정하면 된다. 즉, 74LS00과 같은 경우에는 parts per package가 4, 74LS00과 같은 Not gate는 6이 된다.

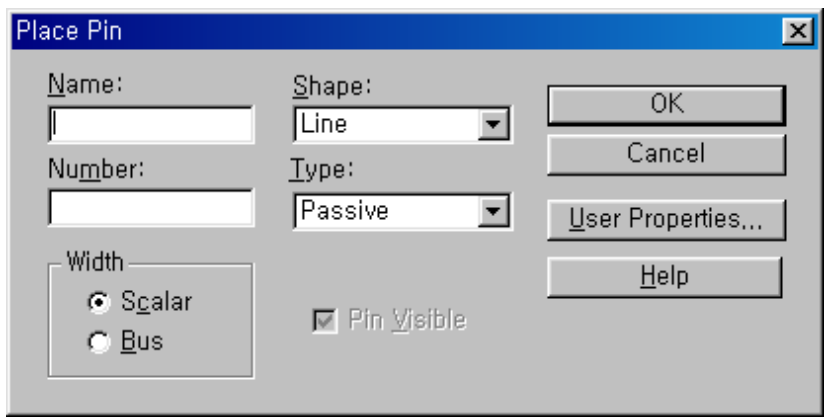
설정이 끝난 후에 [OK] 버튼을 누른다.




New part design 창이 나타나면 이제 오른쪽의 Tool Palette의 그리기 도구를 사용하여 먼저 Library의 모양(외곽선)부터 그린 후 Pin을 형성하면 되는데 Pin은 왼쪽 그림의 점선을 따라 다닌다는 점에 유의하자. 또한 부품의 핀을 배치할 때는 사용될 속성과 이름에 주의하여 배치한다.

실제 핀은 점선을 따라 배치가 되지만 먼저 심볼 모양을 오른쪽 아이콘 바를 이용하여 심볼 모양을 그려준다. 심볼은 part를 구별하기위해 쉽게 알아볼 수 있도록 그려주는 것이 좋다.

Library의 Pin은 Pin name, Pin number, Pin type의 3가지 속성으로 구성되는데
이러한 Pin 속성은 나중에 Design Rules Check를 실행할 때의 근거가 된다.

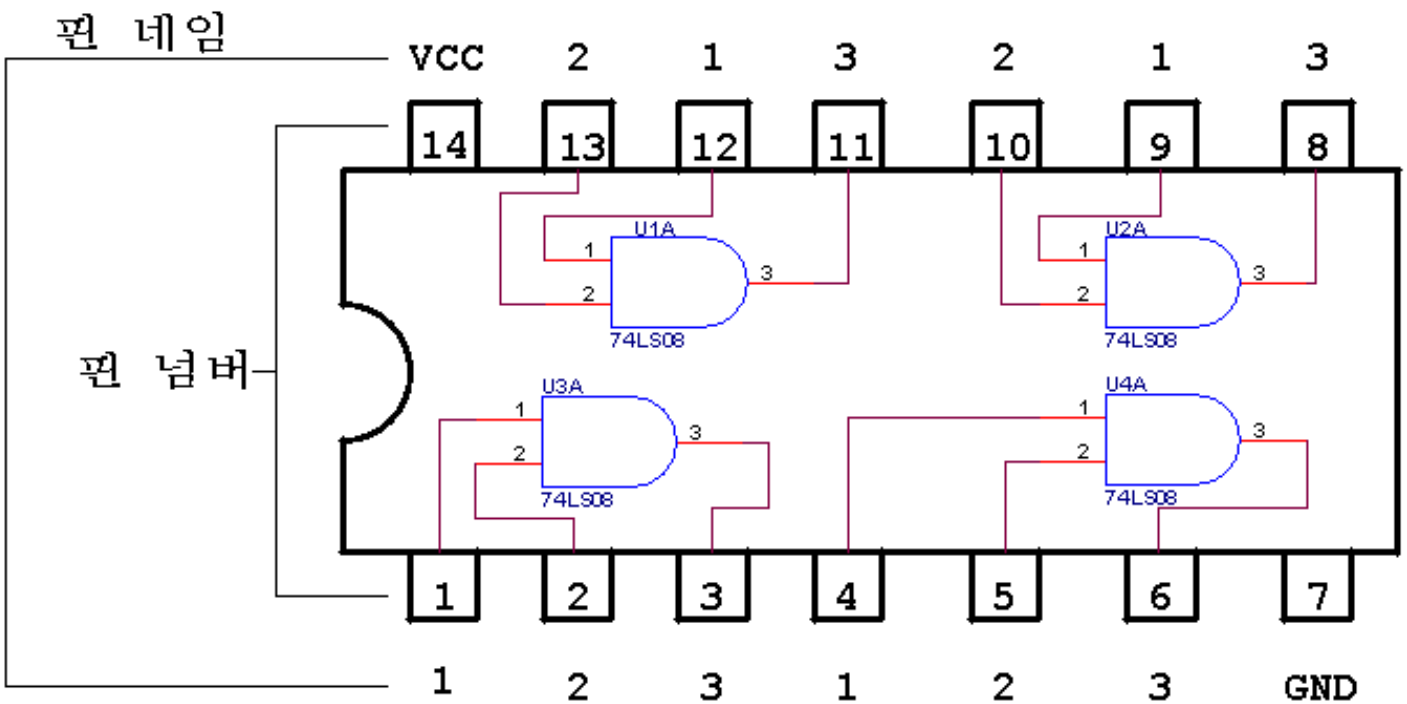



**Name** : name에서는 핀의 이름을 적어주면 된다.
**Number** : 실제 Package 데이터 북을 보고 정확하게 주어야 한다.
**Shape** : 핀에 어떠한 신호가 지나가는지에 따라 핀의 모양을 결정한다.
**Type** : 핀이 어떠한 역할을 할 것인지에 따라 속성을 결정한다

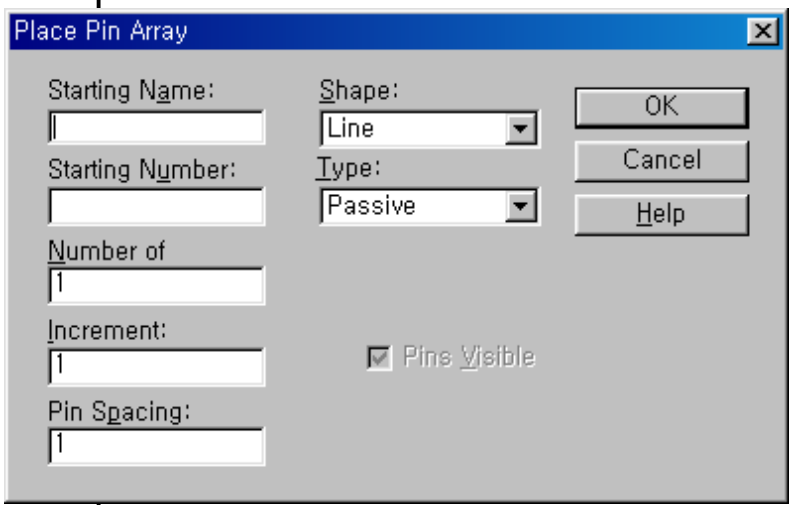
**핀 네임과 넘버**

핀 넘버는 기준점으로부터 시계반대 방향으로 돌아가며 1에서 하나씩 증가시키며 붙인다. ( 일종의 약속)

핀 네임을 보면 전원 핀 등은 VCC, GND라고 특정한 이름을 정해준다. 하지만 밑에 보이는 그림과 같이 일반 데이터 핀들은 연결된 part의 pin네임을 따라 가게 된다.

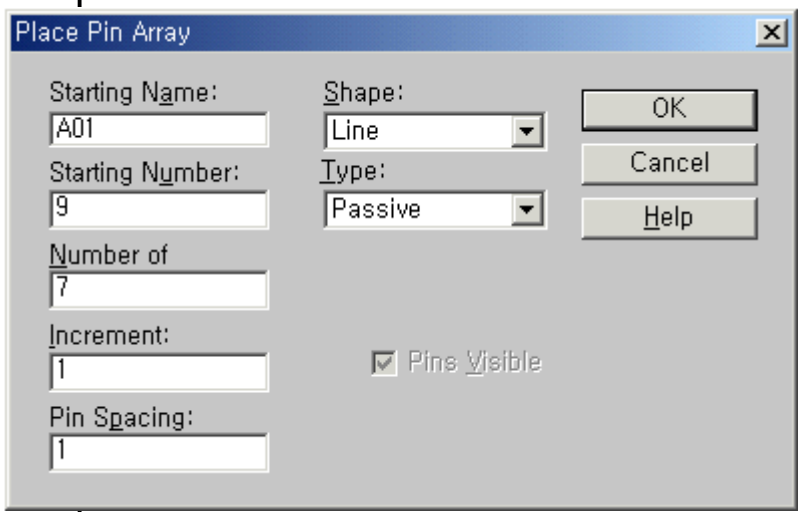


# Place Pin Array



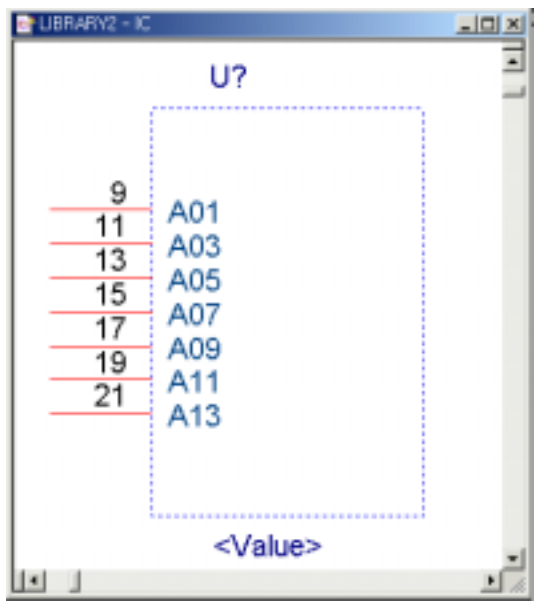

핀을 배치할 경우에,
핀을 일일이 배치하지 않고 한번에 많은 수의 핀을 배치하고자 하는 경우는 Tool palette의 Place Pin Array 아이콘을 누른다.

**Starting Name :** Place Pin Array 대화상자에서 최초에 시작되는 핀의 이름을 지정.
**Starting Number :** 최초에 시작되는 핀의 번호를 지정.
**Number of :** 한번에 배치하고자 하는 핀의 개수를 지정.
**Increment :** 핀의 Number와 name을1에서 2로, 2에서 3으로 등과 같은 증가량을 지정.
**Pin Spacing :** 핀과 다음 핀과의 간격을 지정하고자 한다면 Pin Spacing에 숫자를 기입하면 된다.




핀 네임은 A01부터 시작, 핀 넘버는 9 번부터 시작하는 핀을 7개를 배치. 그리고 네임과 넘버를 1씩 증가하고 핀간의 간격은 1 grid로 배치.

실제로 어떻게 핀이 배치가 됐는지 보면 오른쪽 그림과 같이 핀이 배치가 된다.
IC Package와 같은 핀 개수가 많고 일률적으로 많은 핀을 배치할 필요가  있는 부품을 생성시 유용하다.

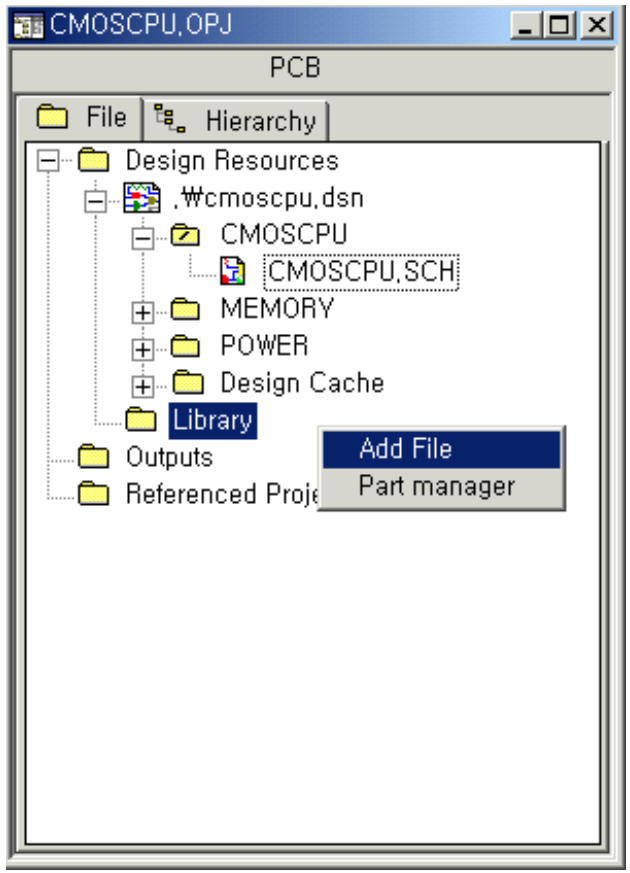


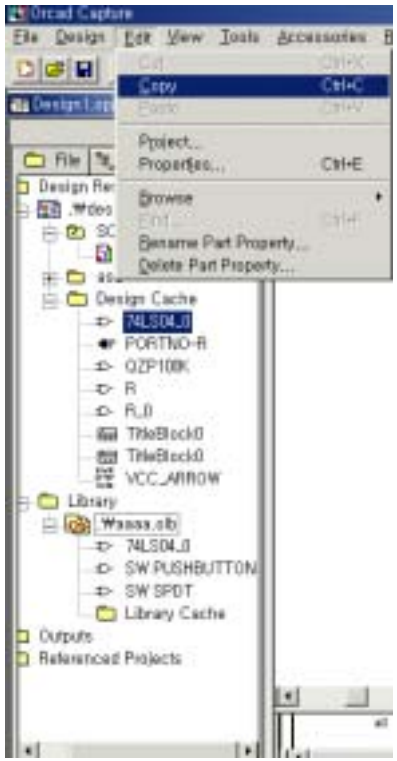
## 도면에 있는 부품을 라이브러리화 할 경우:

1.일단 저장할 라이브러리를 불러오거나 혹은 없을 경우 생성한다.

; 저장을 할 library를 manager 창에서 불러온다. 없는 경우에는 Menu bar에서 File – New – Library를 선택하면 Project manager창에서 Library 폴더에 새로운 라이브러리가 생성된다.

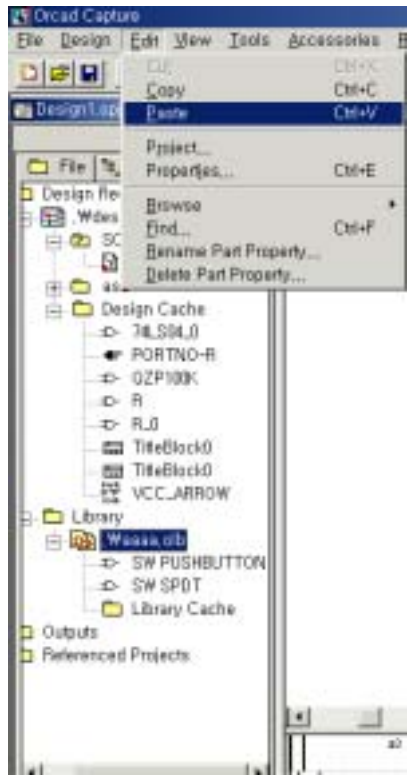
2.Design Cache에서의 부품 복사 ; 도면의 부품을 Design Cache에서 찾아 클릭 후 새로이 만들어진 Library로 drag하여 집어넣는다.
혹은 menu bar의 edit 항목에서 copy항목을 선택하여 부품을 복사한 후 부품을 추가할 Library를 선택한 후 다시 edit-paste를 선택하면 해당 library에 부품이 copy된다.





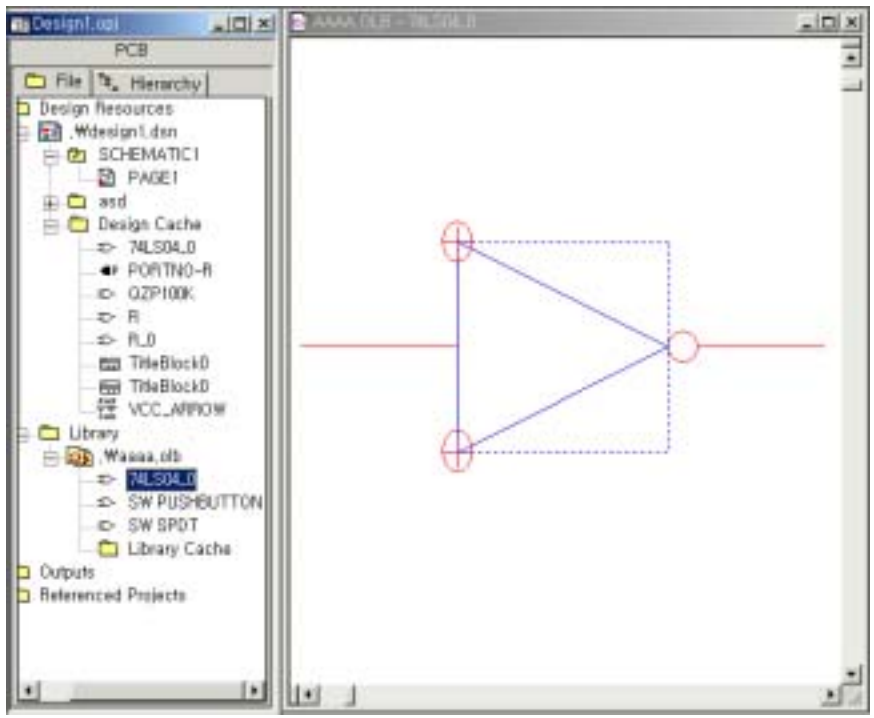

①

부품을 copy




②

다른 library에
부품을 paste

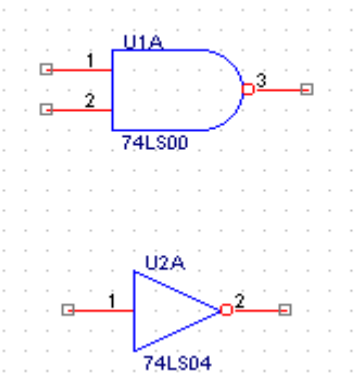


orcad
a Cadence product family

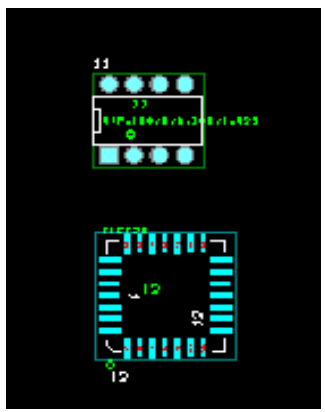
# ▪Auto ECO

Schematic

PCB




상징적
시각적
기능적



실직적
물리적
부품으로 연결

Capture Library와 Layout Library가 matching이 되는지(핀 개수와 핀 넘버) 검사 후 일치하면 Net정보와 부품속성을 Layout으로 넘겨준다.

orcad
a Cadence product family

# - 주의사항 -

# Port Type #

1 > Net Alias (One Sheet)

2 > Off - Page Connector (One + Flat)

3 > Hierarchical(Generic, Module) Port (One + Flat + Hierarchical)

# Net List Error #

< Netlist #1> Pin Name Error ( Capture to Layout )

Number

orcad
a Cadence product family

## < Netlist #2> 단위일치

✓ Run ECO to Layout
✓ User Properties are in Inch

- Netlist 생성시 단위가 Inch였다면 --> Layout 시작시 Default.tch 선택

✓ Run ECO to Layout
✓ User Properties are in Millimeter

- Netlist 생성시 단위가 Millimeter 였다면 --> Layout 시작시 Metric.tch
또는 MCM.tch 선택

## <Netlist #3> 한글 저장 시 Error

EX > 계산기.MNL / 계산기.MAX ------> ( X )
( Layout 상에서 불러올 시 에러발생 )

orcad
a Cadence product family

# Schematic Library 에서 주의 할 것 Type 에 주의
( Pin 속성 및 Type)

EX> Input
Output ┐ 확실하면 지정 ⟶ 그렇지 않으면 Passive 로 지정